

И.И. ШАГУРИН



**ТРАНЗИСТОРНО-  
ТРАНЗИСТОРНЫЕ  
ЛОГИЧЕСКИЕ  
СХЕМЫ**

И. И. ШАГУРИН

---

●

# ТРАНЗИСТОРНО- ТРАНЗИСТОРНЫЕ ЛОГИЧЕСКИЕ СХЕМЫ

●

---

*Под редакцией Ю. Е. Наумова*



МОСКВА «СОВЕТСКОЕ РАДИО» 1974



Scan AAW

6Ф7  
Ш15  
УДК. 621.382.8÷181.4

**Шагурин И. И.** Транзисторно-транзисторные логические схемы.  
Под ред. Ю. Е. Наумова. М., «Сов. радио», 1974, 160 с.

Книга посвящена наиболее распространенному типу интегральных схем — транзисторно-транзисторным логическим схемам (ТТЛ). В ней дается обзор простейших модификаций схем. Анализируется работа основной схемы И—НЕ со сложным инвертором. Описывается инженерная методика электрического расчета и основные модификации схем со сложными инверторами. Приводится сравнение этих модификаций и даются рекомендации по выбору схемы в зависимости от предъявляемых к ней требований. Описывается типовой состав серии интегральных схем ТТЛ: логические схемы, триггеры, вспомогательные схемы и схемы с повышенной степенью интеграции.

Книга предназначена для инженеров, работающих в области проектирования интегральных микросхем и микроэлектронной аппаратуры, и студентов соответствующих специальностей.

12 табл., 85 рис., библи. 95 назв.

*Редакция литературы по электронной технике*

Ш  $\frac{30407, 30502-049}{046(01) 74}$  43-74

© Издательство «Советское радио», 1974

## ПРЕДИСЛОВИЕ

Быстрый рост производства и применения интегральных микросхем в различной электронной аппаратуре вызвал значительный интерес к вопросам проектирования интегральных микросхем и аппаратуры с их использованием. В ближайшие годы круг специалистов, интересующихся этими вопросами, еще более расширится в связи с внедрением интегральных микросхем в промышленную и бытовую аппаратуру.

В отечественной литературе имеется ряд книг, посвященных различным вопросам разработки интегральных микросхем. В работах [1—5] подробно рассмотрены технологические вопросы изготовления микросхем. Работы [6—9] посвящены схемотехническим вопросам проектирования микросхем. Однако в литературе по схемотехнике имеется существенный пробел, касающийся наиболее распространенного вида интегральных микросхем — транзисторно-транзисторных логических схем (ТТЛ). В книгах подробно рассматриваются простейшие схемы ТТЛ и весьма бегло описываются схемы со сложными инверторами, представляющие главный интерес для практики. Настоящая работа призвана восполнить этот пробел.

В первой главе кратко рассматриваются электрические параметры схем ТТЛ и способы их определения, характеристики активных и пассивных элементов микросхем и приводится обзор простейших модификаций схем И—НЕ ТТЛ.

Во второй главе рассматривается основная схема И—НЕ со сложным инвертором, наиболее часто применяемая на практике. Приводится анализ ее статических и переходных характеристик, аналитические выражения для основных параметров и инженерная методика электрического расчета схемы.

В третьей главе рассматриваются важнейшие модификации схем ТТЛ со сложными инверторами, проводится их сравнение и даются рекомендации по выбору схемы в зависимости от предъявляемых требований.

В четвертой главе описывается типовой состав (номенклатура) серии интегральных микросхем ТТЛ. Даются примеры логических схем, триггеров, вспомогательных схем и схем с повышенной степенью интеграции, входящих в состав различных серий.

Книга предназначена для специалистов в области проектирования интегральных микросхем, разработчиков радиоэлектронной аппаратуры на микросхемах и студентов соответствующих специальностей.

Улучшению содержания книги в значительной степени способствовали замечания и рекомендации рецензентов рукописи книги: член-корр. АН СССР К. А. Валиева, Ю. Е. Наумова, Ю. И. Щетинина. Полезные замечания и материалы, использованные в работе, были получены автором от В. Я. Контарева.

Автор выражает искреннюю признательность проф. И. П. Степаненко, под руководством которого была проведена значительная часть работ, составивших материал настоящей книги, докт. техн. наук А. Г. Алексенко за ценные советы.

Автор благодарен сотрудникам кафедры микроэлектроники Московского инженерно-физического института Г. П. Мозговому, Г. И. Дудыкиной, Г. А. Бочковской, оказавшим помощь в подготовке и оформлении рукописи книги.

## УСЛОВНЫЕ ОБОЗНАЧЕНИЯ

### Параметры элементов схемы \*

- $B, B_I$  — статические значения коэффициента усиления транзистора в нормальном и инверсном режиме  
 $\beta, \beta_I$  — импульсные значения коэффициентов  $B$  и  $B_I$   
 $C_{э}, C_{к}$  — усредненные емкости эмиттерного и коллекторного переходов транзистора  
 $C_{д}, C_{дш}$  — усредненная емкость диода (диода Шоттки)  
 $C_{п}$  — паразитная емкость соединений и изоляции элементов (изолирующего  $p$ - $n$  перехода)  
 $\varepsilon_R$  — относительный разброс сопротивлений резисторов  
 $f_T$  — граничная частота усиления транзистора  
 $r_b, r_k$  — омические сопротивления областей базы и коллектора транзистора  
 $r_{д}, r_{дш}$  — омическое сопротивление диода (диода Шоттки)  
 $S = BI_0/I_k$  — степень насыщения транзистора  
 $\tau_B, \tau_I$  — постоянные времени коэффициентов усиления  $B$  и  $B_I$   
 $\tau_p$  — постоянная времени рассасывания избыточного заряда в насыщенном транзисторе  
 $\tau_0 \approx 1/2\pi f_T$  — время пролета носителей через базу транзистора  
 $U_{э0}, U_{к0}, U_{до}, U_{дшо}$  — падение напряжения на открытом эмиттерном, коллекторном переходе транзистора, диоде, диоде Шоттки  
 $U_{дэ}, U_{дшэ}$  — условное напряжение запираания эмиттерного перехода транзистора или диода (диода Шоттки)  
 $U_{кв}, U_{квш}$  — напряжение коллектор—эмиттер на транзисторе в режиме насыщения (транзисторе Шоттки)  
 $U_{кв0}$  — напряжение на транзисторе в режиме насыщения без учета падения напряжения на сопротивлении  $r_k$   
 $U_{кэ0}$  — напряжение на транзисторе в режиме насыщения при  $I_k=0$  ( $S=\infty$ )  
 $\theta_U$  — температурный коэффициент напряжений  $U_{э0}, U_{ээ}, U_{к0}$   
 $\theta_R$  — температурный коэффициент сопротивлений резисторов

### Параметры логических схем

- $I^0_{вх}, I^1_{вх}$  — входные токи (вытекающий при  $U_{вх}=U^0$ , втекающий при  $U_{вх}=U^1$ )  
 $I^0_{в}, I^1_{в}$  — выходные токи нагрузки (втекающий при  $U_{вых}=U^0$ , вытекающий при  $U_{вых}=U^1$ )

---

\* Параметры многоэмиттерного транзистора  $r_b, r_k, U_{э0}, U_{ээ}, U_{к0}, U_{кэ0}$  отмечены в тексте дополнительно знаком «штрих».

- $I^0_{\text{п}}, I^1_{\text{п}}$  — токи, потребляемые схемой от источника питания в состоянии 0 и в состоянии 1 на выходе  
 $M$  — число входов  
 $N$  — коэффициент разветвления на выходе  
 $P$  — средняя мощность, потребляемая в статическом режиме  
 $P_{\text{дин}}$  — дополнительная динамическая мощность, потребляемая схемой при некоторой частоте переключения  
 $t^{01}_{\text{з}}, t^{10}_{\text{з}}$  — задержки переключения схемы из состояния 0 в состояние 1 на выходе и обратно  
 $t_{\text{з ср}}$  — средняя задержка переключения  
 $t^{01}_{\text{ф}}, t^{10}_{\text{ф}}$  — длительности фронта нарастания и спада выходного импульса  
 $t^{01}_{\text{ф1}}, t^{10}_{\text{ф1}}$  — время нарастания и спада фронта выходного импульса до уровня  $U_{\text{вых}} = U_{\text{п}}$   
 $U^0, U^1$  — уровни напряжения, соответствующие логическому 0 и 1  
 $U_{\text{л}} = (U^1 - U^0)$  — величина логического перепада  
 $U_{\text{п}}$  — абсолютный порог переключения  
 $U^0_{\text{п}}, U^1_{\text{п}}$  — условные пороги включения и выключения  
 $\Delta U_{\text{п}}$  — абсолютная помехоустойчивость  
 $\Delta U^+_{\text{п}}, \Delta U^-_{\text{п}}$  — помехоустойчивость по отношению к помехам положительной и отрицательной полярности на входе  
 $\Phi^+_{\text{п}}, \Phi^-_{\text{п}}, \Phi^+_{\text{з}}, \Phi^-_{\text{з}}$  — помехоустойчивость к помехам положительной и отрицательной полярности на шинах «питание» и «земля»

## ВВЕДЕНИЕ

Интегральные микросхемы находят все более широкое применение в радиоэлектронной аппаратуре, особенно в цифровых вычислительных устройствах, системах управления и обработки информации. Электронной промышленностью выпускается большое число серий интегральных микросхем для цифровых устройств. Микросхемы одной серии изготавливаются по единой технологии и согласованы по своим электрическим и конструктивным параметрам для совместного использования в электронной аппаратуре. Полная серия содержит несколько десятков типов микросхем. Набор (номенклатура) микросхем в серии обеспечивает выполнение любых арифметических и логических операций.

Серия цифровых интегральных микросхем строится на базе логической схемы И—НЕ либо ИЛИ—НЕ, которая является основной в серии. Остальные схемы серии либо являются вспомогательными (буферные каскады, расширители числа входов и т. п.), либо представляют собой соединение нескольких основных схем, расположенных на общей подложке, для выполнения более сложных функций\* (полусумматор, триггер и т. п.). Параметры основной логической схемы в значительной степени определяют возможности серии в целом и, следовательно, характеристики цифровых устройств. Поэтому выбор и проектирование этой схемы имеет первостепенное значение при разработке серии цифровых интегральных микросхем.

В процессе развития микроэлектроники выделилось несколько типов основных логических схем на биполярных транзисторах, которые оказались наиболее пригодными для изготовления в виде интегральных микросхем:

---

\* К этой категории относятся также микросхемы с повышенной степенью интеграции (большие интегральные схемы — БИС), представляющие собой целые узлы ЦВМ (регистры, сумматоры и др.), выполненные на общей подложке.



- транзисторные логические схемы с резистивными связями\*;
- диодно-транзисторные логические схемы (ДТЛ);
- транзисторно-транзисторные логические схемы;
- транзисторные логические схемы с эмиттерной связью.

Сравнение перечисленных типов логических схем [10—14] показало, что для большинства практических применений схемы ТТЛ обеспечивают наилучшее сочетание основных параметров. В настоящее время микросхемы ТТЛ являются наиболее перспективными для применения в цифровой электронной аппаратуре среднего и высокого быстродействия.

Интегральные микросхемы ТТЛ условно можно разделить на три группы:

- быстродействующие (задержка переключения не более 5 нс при потребляемой мощности 20...25 мВт),
- среднего быстродействия (задержка переключения 5...25 нс при потребляемой мощности 5...20 мВт),
- маломощные (потребляемая мощность 0,2...5 мВт и задержка переключения более 25 нс).

Имеются также разработки микромощных схем ТТЛ, потребляющих мощность в десятки микроватт [9, 15, 16], однако эти схемы пока не получили широкого распространения. Микросхемы ТТЛ обеспечивают высокие значения помехоустойчивости (не менее 0,4 В в диапазоне рабочих условий) и коэффициента разветвления на выходе (допустимое число нагрузок 10 и более). Таким образом, по своим параметрам микросхемы ТТЛ удовлетворяют запросам широкого круга разработчиков радиоэлектронной аппаратуры. Непрерывное снижение стоимости микросхем ТТЛ обеспечивает быстрое расширение области их применения.

В связи с этим производство и потребление микросхем ТТЛ быстро растет. Впервые появившись в 1963 г., микросхемы ТТЛ уже в 1969 г. превзошли по объему выпуска в США все другие типы микросхем. В 1971 г. выпуск микросхем ТТЛ составил 40% от общего объема выпускаемых в США цифровых интегральных микросхем

---

\* В частном случае, при отсутствии резистора в цепи связи, эти схемы превращаются в транзисторные логические схемы с непосредственными связями. При использовании *RC*-цепи связи получаются транзисторные логические схемы с резистивно-емкостными связями.

на биполярных транзисторах и продолжает неуклонно расти [17].

Основная схема ТТЛ имеет структуру, показанную на рис. В.1,а. Схема выполняет логическую операцию \* И—НЕ (операция Шеффера) и представляет собой соединение схемы И, состоящей из многоэмиттерного транзистора и резистора, и транзисторного инвертора. Следует отметить, что схема ТТЛ, возникшая первоначально как модификация схемы ДТЛ (рис. В.1,б), имеет с

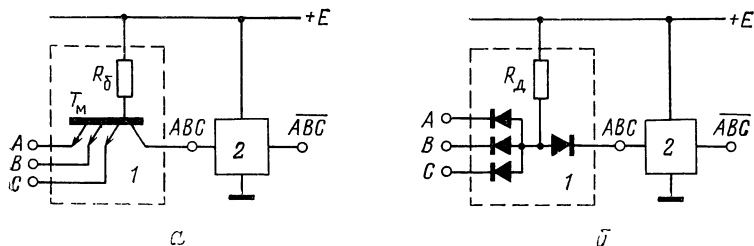


Рис. В.1. Структурные схемы И—НЕ ТТЛ (а) и ДТЛ (б):  
1 — схема И, 2 — инвертор.

ней много общих черт. Однако применение многоэмиттерного транзистора вместо диодной сборки позволило повысить быстродействие схем. Кроме того, в схемах ТТЛ обычно используются более сложные инверторы, что позволяет полнее реализовать преимущества схем. В результате по ряду параметров, в первую очередь по быстродействию, схемы ТТЛ превосходят схемы ДТЛ.

В процессе развития схем ТТЛ был разработан ряд вариантов схемы И—НЕ, отличающихся, главным образом, схемой инвертора. Совершенствование инвертора позволило существенно улучшить характеристики схем по сравнению с первоначальным вариантом. Можно выделить три основных варианта схем ТТЛ: с простым инвертором (ТТЛ-1), двухкаскадным инвертором (ТТЛ-2) и со сложным инвертором (ТТЛ-3). Каждый из вариантов имеет несколько схемных модификаций (рис. В.2), отдельные параметры которых улучшаются благодаря включению дополнительных элементов. В настоящей книге дан краткий обзор различных модификаций

<sup>1</sup> В настоящей книге для определения логического функционирования схем принята положительная логика, при которой высокий потенциал соответствует логической 1, а низкий потенциал — логическому 0.

простейших вариантов: ТТЛ-1 и ТТЛ-2 (гл. 1), подробно рассмотрены характеристики наиболее распространенной схемы ТТЛ-3 (гл. 2) и описаны ее модификации (гл. 3). Обзор модификаций позволяет выяснить их достоинства и недостатки и обосновать выбор схемы в зависимости от предъявляемых к ней требований.

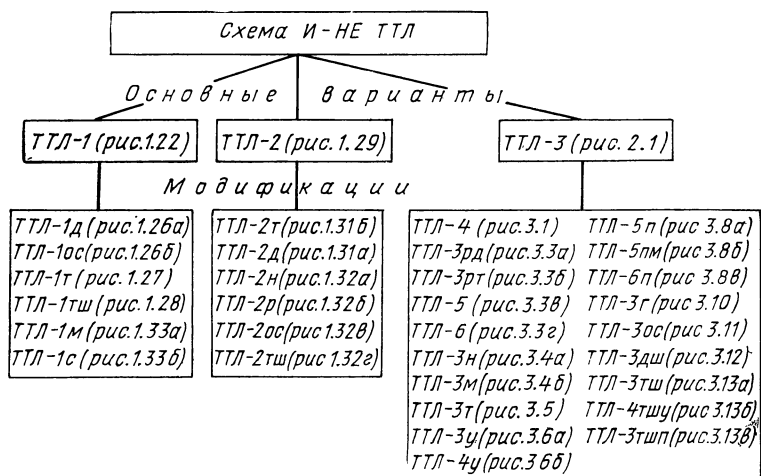


Рис. В.2. Классификация схем ТТЛ.

Интегральные схемы ТТЛ обеспечивают высокие показатели по основным электрическим параметрам только при правильном проектировании, т. е. при оптимальном выборе параметров элементов микросхемы: транзисторов, диодов, резисторов. Поэтому весьма важное значение имеет анализ этих схем, который позволяет определить влияние каждого из элементов на параметры схемы. Такой анализ проведен в настоящей работе с использованием кусочно-линейных аппроксимаций характеристик нелинейных элементов — диодов и транзисторов. Применение этих аппроксимаций дает возможность использовать для анализа интегральных микросхем классические методы анализа транзисторных схем [18—20], с помощью которых получены аналитические выражения, определяющие значения основных параметров схем в зависимости от параметров их элементов. Результаты анализа позволяют сравнить различные варианты схем по электрическим параметрам и разработать инженерную методику их электрического расчета.

## ПАРАМЕТРЫ И ЭЛЕМЕНТЫ СХЕМ ТТЛ И ИХ ПРОСТЕЙШИЕ ВАРИАНТЫ

---

### 1.1. ОСНОВНЫЕ ПАРАМЕТРЫ И ХАРАКТЕРИСТИКИ СХЕМ

При проектировании цифровых устройств необходимо знать основные статические и динамические параметры используемых логических схем:

- выходные напряжения, соответствующие логическому 0  $U^0$  и логической 1  $U^1$ ;
- порог переключения схемы  $U_{\text{п}}$ ;
- входные токи схемы:  $I_{\text{вх}}^0$  при  $U_{\text{вх}}=U^0$ , и  $I_{\text{вх}}^1$  при  $U_{\text{вх}}=U^1$ ;
- число входов (коэффициент объединения на входе)  $M$ ;
- коэффициент разветвления на выходе  $N$ ;
- помехоустойчивость схемы по отношению к помехам положительной  $\Delta U_{\text{п}}^+$  и отрицательной  $\Delta U_{\text{п}}^-$  полярностей;
- напряжение источника питания  $E$  и его допустимое относительное отклонение от номинального значения  $\varepsilon_E$ ;
- диапазон рабочих температур  $T_{\text{мин}}^{\circ}$ — $T_{\text{макс}}^{\circ}$ ;
- мощность  $P$  или ток  $I_{\text{п}}$  потребляемые схемой от источника питания;
- времена нарастания и спада фронта выходного импульса  $t_{\text{ф}}^{01}$  (время выключения) и  $t_{\text{ф}}^{10}$  (время включения);
- времена задержки переключения схемы из состояния «0» на выходе в состояние «1» (задержка выключения  $t_3^{10}$ ) и из состояния «1» в состояние «0» (задержка включения  $t_3^{10}$ ).

Параметры логических схем определяются с помощью статических и переходных характеристик.

Важнейшей статической характеристикой логических схем является передаточная характеристика  $U_{\text{вых}} = f(U_{\text{вх}})$ . Основная схема ТТЛ выполняет операцию И—НЕ и относится к логическим схемам инвертирующего типа. Ее передаточная характеристика показана на рис. 1.1,а кривой 1. Для нормального функционирования цифровых устройств логические схемы потенциального типа должны иметь три точки пересечения передаточной характеристики с обращенной передаточной характеристикой (рис. 1.1,а).

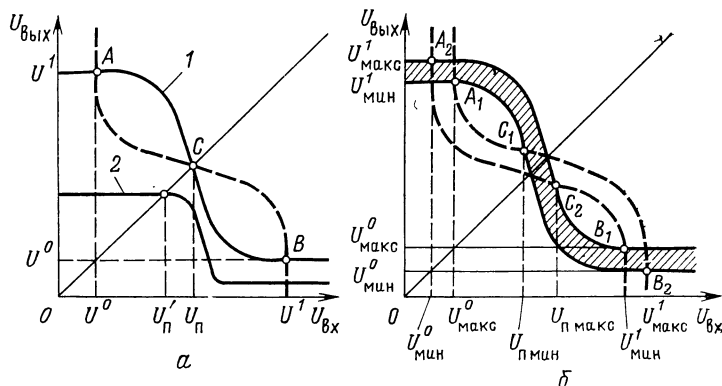


Рис. 1.1. Типовые передаточная ( — ) и обращенная передаточная ( — — ) характеристики схем (а) и семейства этих характеристик при наличии разброса параметров реальных схем (б).

Обращенной передаточной характеристикой называется зависимость, обратная зависимости  $U_{\text{вых}} = f(U_{\text{вх}})$ , которая получается из передаточной характеристики заменой  $U_{\text{вых}}$  на  $U_{\text{вх}}$ ,  $U_{\text{вх}}$  на  $U_{\text{вых}}$ , т. е. переменой на графике осей координат. Эти характеристики симметричны относительно прямой единичного наклона  $U_{\text{вых}} = U_{\text{вх}}$ . Если число точек пересечения меньше трех (например, для кривой 2 на рис. 1.1,а), то на выходе цепи таких схем при любом напряжении на входе цепи установится потенциал  $U'_\text{п}$ , соответствующий координате точки пересечения характеристик. Таким образом, при изменении логического сигнала на входе сигнал на выходе не изменяется, т. е. не происходит требуемого переключения логического устройства.

Координаты точек пересечения передаточной и обращенной характеристик определяют важнейшие парамет-

ры логической схемы  $U^0$ ,  $U^1$ ,  $U_{\text{п}}$ . Разность значений логических уровней  $U_{\text{л}} = U^1 - U^0$  называется логическим перепадом.

Передаточные характеристики реальных логических схем неидентичны вследствие различия в числе нагрузок, отклонений параметров элементов от номинальных значений и других факторов. Следовательно, имеется область, в которой располагаются передаточные характеристики схем (рис. 1.1, б), а значения порога  $U_{\text{п}}$  и уровней  $U^0$ ,  $U^1$  заключены в некотором диапазоне:  $U_{\text{п мин}} \leq U_{\text{п}} \leq U_{\text{п макс}}$ ,  $U^0_{\text{мин}} \leq U^0 \leq U^0_{\text{макс}}$ ,  $U^1_{\text{мин}} \leq U^1 \leq U^1_{\text{макс}}$ .

С помощью передаточной характеристики определяется помехоустойчивость схем по отношению к статическим помехам, возникающим на входах схемы и на общих шинах «питание» и «земля» [22—26]. Помехи, возникающие на шинах «питание» и «земля», можно представить как изменение потенциала этих шин и определить вид получающейся передаточной характеристики схем. При этом обычно изменяются значения  $U^0$ ,  $U^1$ ,  $U_{\text{п}}$ , т. е. передаточная характеристика деформируется. Если помеха имеет такую величину, что условие существования трех точек пересечения для деформированных передаточной и обращенной характеристик не выполняется, то в цепи таких схем происходит непредусмотренное изменение логического состояния, т. е. сбой в работе цифрового устройства. Таким образом, помехоустойчивость в этом случае определяется как максимальная величина помехи на шинах «питание» и «земля», при которой еще сохраняются три точки пересечения деформированных передаточной и обращенной характеристик.

Помехоустойчивость по отношению к помехам на входах определяется из условия нормальной передачи логического сигнала цепи схем с действующими источниками входных помех (рис. 1.2). В отсутствие помех

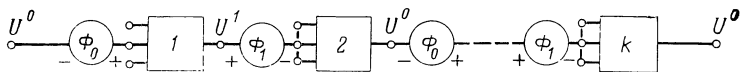


Рис. 1.2. Цепь инвертирующих логических схем с источниками помех на входах.

при подаче на вход цепи напряжения  $U^0$  на выходах нечетных схем цепи будет поддерживаться напряжение  $U^1$ , а на выходах четных схем — напряжение  $U^0$ . Наибольшую опасность представляют помехи положительной по-

лярности  $\Phi_0$  на входах нечетных схем, где должно сохраняться низкое напряжение  $U^0$ , и помехи отрицательной полярности  $\Phi_1$  на входах четных схем, где должно сохраняться высокое напряжение  $U^1$ . Действие помех  $\Phi_0$  соответствует сдвигу передаточной характеристики влево на величину  $\Phi_0$  (рис. 1.3). При этом на выходах не-

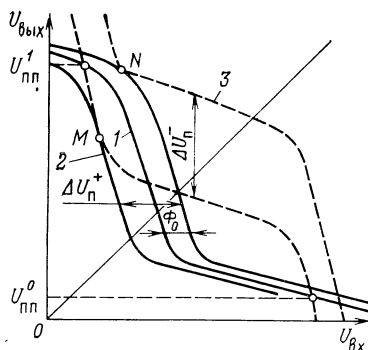


Рис. 1.3. Характеристики для определения помехоустойчивости:

1 — передаточная характеристика, сдвинутая на величину  $\Phi_0$ ; 2 — передаточная характеристика, сдвинутая до касания с обращенной характеристикой; 3 — обращенная характеристика, сдвинутая до касания с передаточной характеристикой.

четных схем в конце цепи установится напряжение  $U_{пш}^1 \leq U^1$ , а на выходах четных схем —  $U_{пш}^0 \geq U^0$ . Если сдвинутая на величину  $\Phi_0$  передаточная характеристика не имеет трех точек пересечения с обращенной характеристикой, то нарушается нормальная передача логического сигнала в цепи. Поэтому помехоустойчивость по отношению к помехам положительной полярности  $\Delta U_{п}^+$  определяется как величина  $\Phi_0 = \Delta U_{п}^+$ , при которой сдвинутая передаточная характеристика касается обращенной характеристики в точке M.

Соответственно, действие помех  $\Phi_1$  отображается сдвигом обращенной характеристики вверх на величину  $\Phi_1$ . При этом помехоустойчивость по отношению к помехам отрицательной полярности  $\Delta U^-$  определяется как величина  $\Phi_1 = \Delta U_{п}^-$ , при которой сдвинутая обращенная характеристика касается передаточной в точке N (рис. 1.3).

В общем случае в логических устройствах действуют помехи как положительной, так и отрицательной полярности. Их допустимая величина  $\Delta U_{п}$  называется абсолютной помехоустойчивостью и определяется с помощью сдвига обращенной характеристики вдоль прямой единичного наклона до касания с передаточной характери-

стикой в точке  $P_0$  или  $P_1$  (рис. 1.4, а) Абсциссы точек касания  $U_{\Pi}^0$  и  $U_{\Pi}^1$  называются условными порогами переключения. Значение  $\Delta U_{\Pi}$  находится как проекция величины сдвига обращенной характеристики вдоль прямой единичного наклона на ось абсцисс (или ординат):

$$\Delta U_{\Pi} = U_{\Pi}^0 - U^0 = U^1 - U_{\Pi}^1. \quad (1.1a)$$

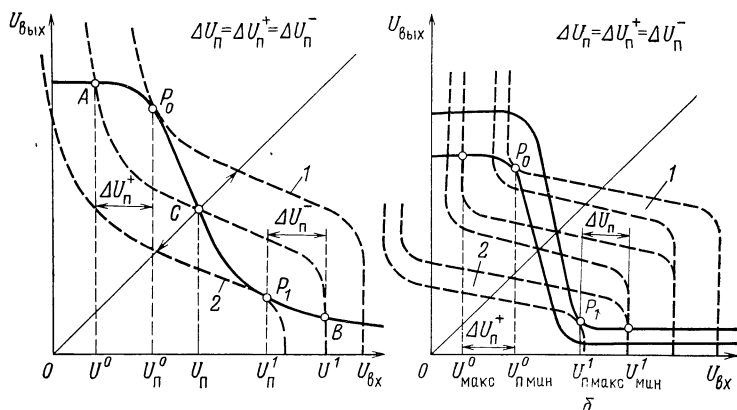


Рис. 1.4. Характеристики для определения абсолютной помехоустойчивости цепи идентичных (а) и неидентичных (б) схем:

1, 2 — обращенные характеристики (семейства характеристик), сдвинутые по прямой единичного наклона до касания с передаточной характеристикой

При наличии разброса передаточных характеристик определение помехоустойчивости производится по касанию огибающих семейств передаточных характеристик (рис. 1.4, б):

$$\Delta U_{\Pi} = U_{\Pi \text{ мин}}^0 - U_{\text{макс}}^0 = U_{\text{мин}}^1 - U_{\Pi \text{ макс}}^1. \quad (1.16)$$

При одновременном действии помех на шинах «питание», «земля» и на входах определяется вид передаточной характеристики при наличии помех на шинах «земля», «питание», а затем находится помехоустойчивость по входу с помощью сдвига полученных передаточных характеристик.

Описанная методика позволяет определить помехоустойчивость логических схем графическим либо аналитическим методом.

Помимо статических помех, длительность которых значительно превышает длительность переходных про-



цессов в схеме, в логических устройствах действуют также импульсные помехи, длительность которых сравнима с длительностью переходных процессов. Импульсная по-  
 дохоустойчивость логических схем характеризуется до-  
 пущимой амплитудой  $\Delta U_{\text{п имп}}$  и длительностью  $t_{\text{п имп}}$  по-  
 мехи [9, 22]. Зависимость  $\Delta U_{\text{п имп}} = f(t_{\text{п имп}})$  имеет вид,

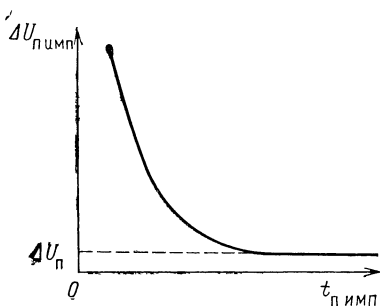


Рис. 1.5. Зависимость допустимой амплитуды импульсной помехи от ее длительности.

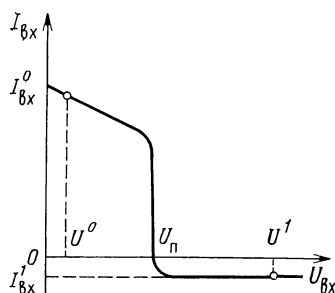


Рис. 1.6. Входная характеристика.

показанный на рис. 1.5, причем возрастание  $\Delta U_{\text{п имп}}$  на-  
 чинается при  $t_{\text{п имп}} \approx t_{\text{ф}}^{01}, t_{\text{ф}}^{10}$ . Таким образом,  $\Delta U_{\text{п имп}} \geq$   
 $\geq \Delta U_{\text{п}}$ , т. е.  $\Delta U_{\text{п}}$  определяет минимальную допустимую

величину помехи. Поэтому в дальнейшем при анализе схем будем ограничиваться определением значения  $\Delta U_{\text{п}}$ .

Входная характеристика схем  $I_{\text{вх}} = f(U_{\text{вх}})$  показана на рис. 1.6. По этой характеристике определяют значения входных токов:  $I_{\text{вх}}^0$  и  $I_{\text{вх}}^1$ .

Выходные характеристики схем ТТЛ  $U_{\text{вых}}^0 = f(I_{\text{вых}}^0)$  и  $U_{\text{вых}}^1 = f(I_{\text{вых}}^1)$  показаны на рис. 1.7. Выходной ток  $I_{\text{вых}}^0$  втекает в схему и представляет собой сумму токов

$I_{\text{вых}}^0$  схем-нагрузок:  $I_{\text{вых}}^0 = I_{\text{н}}^0 = \sum_{i=1}^n I_{\text{вх}}^0 i$ , ток  $I_{\text{вых}}^1$  вы-

текает из схемы и представляет собой сумму токов  $I_{\text{вх}}^1$

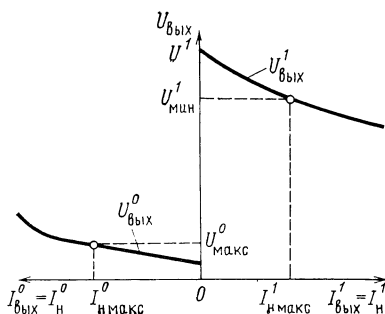


Рис. 1.7. Выходные характеристики.

схем-нагрузок  $I_{\text{вых}}^1 = I_{\text{н}}^1 = \sum_{i=1}^n I_{\text{вх } i}^1$ , где  $n$  — число нагрузок.

С помощью выходных характеристик определяется коэффициент разветвления на выходе. По известным значениям порогов  $U_{\text{п}}^0$ ,  $U_{\text{п}}^1$  и заданным значениям помехоустойчивости  $\Delta U_{\text{п}}^+$ ,  $\Delta U_{\text{п}}^-$  находим максимальное допустимое значение уровня логического «0»  $U_{\text{макс}}^0$  и минимально допустимое значение уровня логической «1»  $U_{\text{мин}}^1$ . По выходным характеристикам определяем максимально допустимые величины токов нагрузки  $I_{\text{н макс}}^0$ ,  $I_{\text{н макс}}^1$ , при которых выходные потенциалы  $U_{\text{вых}}^0$ ,  $U_{\text{вых}}^1$  достигают значений  $U_{\text{макс}}^0$ ,  $U_{\text{мин}}^1$ . Затем, зная максимальные значения входных токов  $I_{\text{вх макс}}^0$ ,  $I_{\text{вх макс}}^1$  схем-нагрузок, находим допустимое число нагрузок по уровням  $U^0$  и  $U^1$ :

$$N_0 = I_{\text{н макс}}^0 / I_{\text{вх макс}}^0, \quad (1.2a)$$

$$N_1 = I_{\text{н макс}}^1 / I_{\text{вх макс}}^1, \quad (1.2b)$$

минимальное из которых соответствует коэффициенту разветвления на выходе

$$N = \min(N_0, N_1) \quad (1.2b)$$

Таким образом, коэффициент разветвления на выходе определяется как допустимое число схем-нагрузок, при котором потенциал на выходе схемы сохраняется в заданных границах  $U_{\text{вых}}^0 \leq U_{\text{макс}}^0$ ,  $U_{\text{вых}}^1 \leq U_{\text{мин}}^1$ , т. е. обеспечивается заданная помехоустойчивость  $\Delta U_{\text{п}}^+$ ,  $\Delta U_{\text{п}}^-$ .

Для большинства логических схем достаточно иметь не более 3...4 входов. Увеличение числа входов ухудшает другие параметры схем, например снижает быстродействие. Поэтому выпускаемые промышленностью микросхемы обычно имеют число входов  $M = 2...4$ . В ряде случаев требуются логические схемы с большим числом входов и в некоторые серии вводится специальная схема — расширитель числа входов, присоединение которой к основной схеме позволяет довести число входов до требуемой величины (см. § 4.3).

Мощность  $P$  и ток  $I_{\text{п}}$ , потребляемые схемой от источника питания, зависят от ее логического состояния. Схема потребляет ток  $I_{\text{п}}^0$ , когда на ее выходе напряжение  $U^0$ , и потребляет ток  $I_{\text{п}}^1$ , когда на выходе напряжение

$U^1$ . Средняя мощность, потребляемая схемой в статическом режиме, определяется выражением

$$P = 0,5E (I_n^0 + I_n^1). \quad (1.3)$$

В процессе переключения логической схемы ток в цепи источника питания существенно увеличивается, т. е. схема потребляет дополнительную (динамическую) мощность  $P_{\text{дин}}$ , которая расходуется, например, на перезаряд паразитных емкостей. Величина  $P_{\text{дин}}$  возрастает при повышении частоты переключения  $f_n$ . Таким образом, средняя мощность, потребляемая схемой в режиме переключения, оказывается больше, чем мощность в статическом режиме. Поэтому в качестве параметра наряду с величиной  $P$  часто приводят также значение мощности при некоторой рабочей частоте, близкой к предельно допустимой.

Параметры  $t_z$ ,  $t_{\phi}$ , характеризующие быстродействие логических схем, определяются с помощью переходных характеристик (рис. 1.8). Для того чтобы оценить бы-

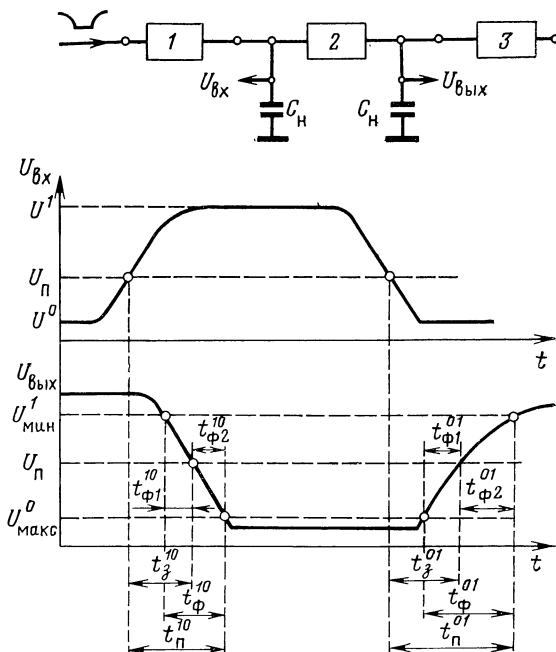


Рис. 1.8. Переходные характеристики и схема их измерения:  
1 — схема-формирователь, 2 — исследуемая схема, 3 — нагрузка ( $n$  схем).

стродействие схем в условиях, близких к реальным, измерение переходных характеристик следует производить в цепи логических схем. Схемы, предшествующие исследуемой, формируют на ее входе управляющий сигнал  $U_{вх}(t)$ . К выходу исследуемой схемы подключены  $n$  схем-нагрузок. Емкость нагрузки  $C_n$  учитывает как входные емкости  $C_{вх\ n}$  схем-нагрузок, так и паразитную емкость соединений  $C_{вых\ n}$  на выходе схемы:

$$C_n = nC_{вх\ n} + C_{вых\ n}. \quad (1.4)$$

Включению схемы соответствует изменение выходного напряжения  $U_{вых}(t)$  от уровня  $U^1$  до  $U^0$ , выключению схемы — изменение  $U_{вых}(t)$  от  $U^0$  до  $U^1$ . Задержки включения  $t_s^{10}$  и выключения  $t_s^{01}$  определяются как промежутики времени между моментами достижения входным и выходным напряжениями значения порога переключения  $U_{п}$ . Быстродействие логических схем часто характеризуется средней задержкой

$$t_{з\ ср} = 0,5 (t_s^{10} + t_s^{01}). \quad (1.5)$$

Величину  $t_{з\ ср}$  определяют, измеряя значения задержек  $t_s^{01}$ ,  $t_s^{10}$  либо частоту импульсов, генерируемых в кольце, содержащем нечетное число  $K$  логических схем (рис. 1.9):

$$f = 1/2Kt_{з\ ср} \quad (1.6)$$

В последнем случае определяется усредненное значение задержки  $t_{з\ ср}$  для  $K$  схем, включенных в кольцо.

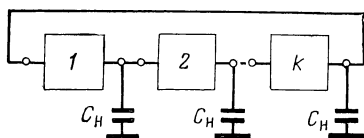


Рис. 1.9. Кольцевая схема измерения средней задержки.

Иногда в качестве параметров логических схем приводятся длительности фронтов выходного импульса  $t_{ф}^{01}$ ,  $t_{ф}^{10}$  и значения времен переключения  $t_{п}^{01}$ ,  $t_{п}^{10}$  (рис. 1.8). Времена нарастания  $t_{ф}^{01}$  и спада  $t_{ф}^{10}$  фронтов выходного импульса для логических схем определяются по моментам достижения выходным напряжением значений  $U_{макс}^0$ ,  $U_{мин}^1$  (рис. 1.8), так как именно эти моменты определяют начало и окончание изменения логического состояния схемы.

Времена переключения  $t_{п}^{01}$ ,  $t_{п}^{10}$  отличаются от задержек  $t_s^{01}$ ,  $t_s^{10}$  тем, что включают в себя времена изменения выходного напряжения от  $U_{п}$  до значений  $U_{мин}^1$ ,  $U_{макс}^0$ :

$$t_{п}^{01} = t_s^{01} + t_{ф2}^{01}, \quad t_{п}^{10} = t_s^{10} + t_{ф2}^{10}. \quad (1.7)$$

Таким образом, за время  $t_{\text{п}}^{01}$ ,  $t_{\text{п}}^{10}$  потенциал на выходе схемы достигает значений логических уровней «1» и «0», т. е. обеспечивается заданная помехоустойчивость по уровням логического сигнала. По задержкам переключения можно определить максимально допустимую рабочую частоту переключения логических схем

$$f_{\text{п макс}} = 1/(t_{\text{п}}^{01} + t_{\text{п}}^{10}), \quad (1.8)$$

при которой уровни выходного сигнала лежат в заданных пределах:  $U^0 \leq U_{\text{макс}}^0$ ,  $U^1 \geq U_{\text{мин}}^1$ .

Следует отметить, что для сравнения и оценки качества различных логических схем часто используется такой параметр, как произведение потребляемой мощности на среднюю задержку переключения ( $Pt_{\text{з ср}}$ ), снижение которого является одной из важнейших задач при проектировании логических схем.

Большинство параметров логических схем ухудшаются при снижении напряжения питания. Поэтому для схем задается минимальное рабочее напряжение питания  $E_{\text{мин}}$ , при котором параметры схемы еще сохраняют требуемые значения. Максимальное рабочее напряжение питания  $E_{\text{макс}}$  ограничивается допустимым возрастанием потребляемой мощности  $P$ , которая увеличивается приблизительно пропорционально  $E^2$ . Номинальное напряжение питания  $E$  определяется в соответствии с условиями:  $E_{\text{мин}} \geq E(1 - \epsilon_E)$ ,  $E_{\text{макс}} \leq E(1 + \epsilon_E)$ , где  $\epsilon_E$  — максимальное относительное отклонение напряжения питания от номинального значения для выбранного типа источника питания. Величина  $E$  должна соответствовать одному из стандартных значений напряжения питания для логических схем. Типовые значения  $E$  для цифровых интегральных микросхем составляют 3В; 4В; 5В.

Кроме того, для микросхем обычно указывают максимальное предельно допустимое значение напряжения питания  $E_{\text{пр}}$ , при превышении которого микросхема может выйти из строя. Величина  $E_{\text{пр}}$  определяется пробивными напряжениями транзисторов в схеме и предельно допустимым значением рассеиваемой схемой мощности.

Все параметры логических схем в большей или меньшей степени зависят от температуры. Поэтому указывается рабочий диапазон температур  $T_{\text{мин}} \dots T_{\text{макс}}$ , в пределах которого параметры имеют заданные значения. Типовой диапазон рабочих температур для микросхем ТТЛ составляет  $-60^\circ \dots +125^\circ \text{C}$ .

## 1.2. ЭЛЕМЕНТЫ ИНТЕГРАЛЬНЫХ СХЕМ

В настоящее время наиболее разработанными являются следующие технологические методы изготовления интегральных схем:

- планарно-эпитаксиальная технология с изоляцией элементов обратносмещенными  $p$ - $n$  переходами или слоем окисла;

- гибридная технология (пленочные резисторы на керамической или стеклянной подложке и дискретные навесные транзисторы и диоды);

- совмещенная технология (пленочные резисторы, подложкой для которых служит окисел  $\text{SiO}_2$  на поверхности кремниевого кристалла, содержащего транзисторы и диоды, изолированные  $p$ - $n$  переходом или окислом).

Интегральные схемы ТТЛ могут быть изготовлены с помощью любого из перечисленных методов. Однако чаще всего используется планарно-эпитаксиальная технология с изоляцией элементов  $p$ - $n$  переходом, которая является наиболее экономичной при массовом производстве микросхем.

В последние годы разработано несколько новых модификаций планарно-эпитаксиальной технологии, среди которых наиболее перспективными считаются «изопланарный» процесс [27—29] и технологический процесс, в котором изоляция элементов осуществляется при диффузии коллектора [29—33]. Эти технологические методы основаны на использовании тонких эпитаксиальных слоев (толщина около 2 мкм) и позволяют в несколько раз сократить площадь кристалла, занимаемую схемой. В результате значительно повышается плотность элементов в микросхеме. Данные методы также применяются для изготовления микросхем ТТЛ.

На рис. 1.10 приведены структуры транзисторов в микросхемах, изготовленных с помощью различных модификаций планарно-эпитаксиальной технологии.

В микросхемах, изготовленных по технологии изолирующей диффузии коллектора, изолирующий  $p$ - $n$  переход создается глубокой диффузией примеси  $n$ -типа сквозь тонкий эпитаксиальный слой  $p$ -типа до смыкания со скрытым  $n^+$ -слоем. Образовавшаяся замкнутая область  $n$ -типа служит коллектором, а расположенная внутри ее область  $p$ -типа — базой транзистора (рис. 1.10, а). Эти области могут служить также для создания резисторов. Особенностью таких транзисторов является низкое удельное сопротивление коллекторного слоя, повышенный коэффициент усиления в инверсном режиме и пониженное пробивное напряжение коллекторного перехода.

При изопланарной технологии изоляция элементов осуществляется глубоким окислением эпитаксиального слоя кремния  $n$ -типа до смыкания окисла со скрытым  $n^+$ -слоем. Часть эпитаксиального слоя, защищенная предварительно  $\text{Si}_3\text{N}_4$ , не подвергается окислению и служит коллекторной областью, в которой формируются затем диффузионные области  $p$ - и  $n^+$ -типа (рис. 1.10, б). В результате создаются элементы микросхем с комбинированной изоляцией: окислом и  $p$ - $n$  переходом.

Характеристики элементов интегральных микросхем подробно рассмотрены в ряде работ [5, 6, 8, 9]. Ниже кратко описаны основные характеристики и приведены типовые значения параметров элементов, используемых в микросхемах ТТЛ.

Если изоляция элементов осуществляется диэлектриком, то такие интегральные микросхемы практически не отличаются от аналогич-

ных схем, собранных из дискретных элементов. Если изоляция элементов осуществляется  $p$ - $n$  переходами, то в микросхеме возникают так называемые «активные паразитные эффекты»\*, связанные с об-

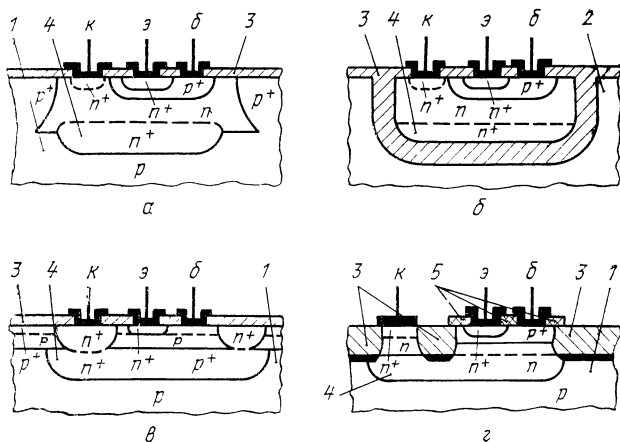
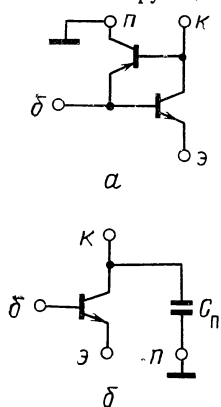


Рис. 1.10. Структуры транзисторов, изготовленных по планарно-эпитаксиальной технологии с изоляцией  $p$ - $n$  переходом (а), окислом (б), с изоляцией при диффузии коллектора (в), по изопланарной технологии (г):

1 — подложка; 2 — поликристаллический кремний; 3 — окисел  $\text{SiO}_2$ ; 4 — скрытый  $n$ -слой в коллекторе; 5 — нитрид  $\text{Si}_3\text{N}_4$ .

разованием паразитных транзисторов типа  $p$ - $n$ - $p$ , в которых подложка служит общим коллектором, а изолирующие  $p$ - $n$  переходы выполняют функции коллекторных переходов (рис. 1.11, а). При современных методах изготовления микросхем (легирование золотом, создание скрытых  $n$ -слоев в диодах и транзисторах) коэффициент



передачи тока в паразитной  $p$ - $n$ - $p$  структуре обычно делают достаточно малым ( $\alpha_n \ll 1$ ). Поэтому активные паразитные эффекты слабо влияют на работу схем ТТЛ, и при анализе схем можно использовать такие же эквивалентные схемы, как и при анализе электронных схем из дискретных элементов. Особенности элементов интегральных микросхем при этом сводятся к чисто количественным различиям некоторых параметров: например, повышенная

Рис. 1.11. Модели транзистора в интегральной микросхеме с учетом (а) и без учета (б) паразитного  $p$ - $n$ - $p$  эффекта.

\* Термин «паразитные эффекты» следует считать условным, так как в ряде случаев эти эффекты могут оказаться полезными.

величина сопротивления тела коллектора у интегральных транзисторов, повышенный технологический разброс и температурный коэффициент сопротивлений диффузионных резисторов и т. п.

**Транзисторы.** Основным активным элементом в схемах ТТЛ является биполярный *n-p-n* транзистор.

Интегральный транзистор с изолирующим *p-n* переходом составляет четырехслойную *n-p-n-p* структуру (рис. 1.10), которую можно представить как соединение основного *n-p-n* и паразитного *p-n-p* транзисторов (рис. 1.11, а). Коэффициент передачи тока через слой коллектора в подложку весьма мал ( $\alpha_n \approx 0,01$ ), и интегральный транзистор можно рассматривать как дискретный *n-p-n* транзистор, к коллектору которого подключена усредненная паразитная емкость изолирующего перехода  $C_n$  (рис. 1.11, б).

При анализе работы схем в статическом и переходном режиме в настоящей работе используются кусочно-линейные аппроксимации характеристик транзисторов.

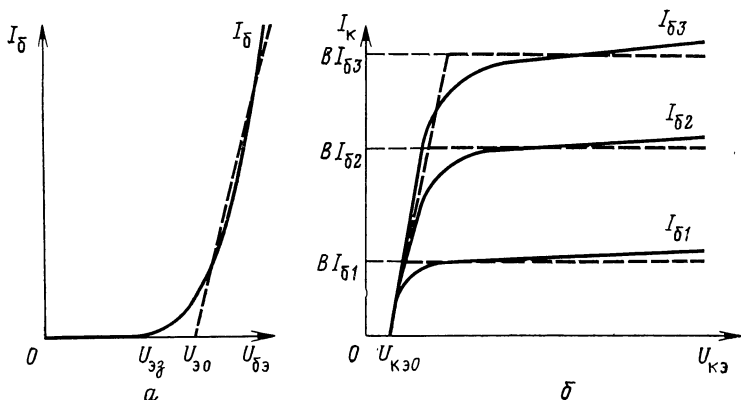


Рис. 1.12. Входная (а) и выходные (б) характеристики транзистора при включении с общим эмиттером:

— — — — — реальные характеристики; — — — — — кусочно-линейные аппроксимации.

Входная (базовая) характеристика (рис. 1.12, а):

$$\begin{cases} I_B, I_E = 0 & \text{при } U_{BE} \leq U_{BE0}, \\ U_{BE} = U_{BE0} + I_B r_B & \text{при } I_B \geq 0, \end{cases} \quad (1.9)$$

где  $U_{BE0}$  — падение напряжения на открытом эмиттерном переходе при  $r_B = 0$ ,  $U_{BE0}$  — условное напряжение запирающего эмиттерного перехода,  $r_B$  — сопротивление базы.

Выходная (коллекторная) характеристика для наиболее распространенного включения с общим эмиттером (рис. 1.12, б):

$$\begin{cases} I_K = B I_B & \text{при } U_{CE} > U_{KЭ}, \\ U_{CE} = U_{KЭ} = U_{KЭ0} + I_K r_K & \text{при } I_K < B I_B, \end{cases} \quad (1.10)$$

где  $B$  — коэффициент усиления тока транзистора в нормальном режиме,  $r_K$  — омическое сопротивление области коллектора.



Таким образом, в активном режиме транзистор эквивалентен генератору тока. Его выходное сопротивление в этом режиме определяется, в основном, токами утечки и эффектом модуляции толщины базы и значительно превосходит сопротивления резисторов схемы.

Величина  $U_{кн0}$  зависит от степени насыщения транзистора  $S = (BI_6/I_K)$  и определяется выражением

$$U_{кн0} = \varphi_T \ln(B/S + 1 + B_I)/B_I(1 - 1/S), \quad (1.11a)$$

где  $\varphi_T$  — температурный потенциал,  $B_I$  — коэффициент усиления транзистора в инверсном режиме. При  $I_K = 0$  и  $I_6 > 0$ , т. е. при  $S = \infty$ ,  $U_{кн0}$  достигает минимального значения

$$(U_{кн0})_{мин} = U_{кн0} = \varphi_T \ln[(1 + B_I)/B_I]. \quad (1.11б)$$

При работе транзисторов в области отсечки, в активном и инверсном режиме для расчета переходных характеристик используются обычные параметры транзисторов в ключевом режиме: импульсные\* значения нормального и инверсного коэффициентов усиления  $B$  и  $B_I$  и их постоянные времени  $\tau_B$  и  $\tau_I$ , барьерные емкости эмиттерного и коллекторного переходов  $C_э$ ,  $C_K$ . Так как емкости  $C_э$ ,  $C_K$ , а также паразитные емкости изолирующих  $p$ - $n$  переходов зависят от напряжения, то при расчетах используются их усредненные значения. Для усреднения емкости в рабочем диапазоне напряжений  $U_1 \dots U_2$  можно использовать следующее выражение [20]:

$$C = C_{U1} \frac{1 - [(\varphi_K - U_1)/(\varphi_K - U_2)]^{(1-l)}}{(1-l) [1 - (\varphi_K - U_2)/(\varphi_K - U_1)]}, \quad (1.12)$$

где  $\varphi_K$  — контактная разность потенциалов на переходе,  $U_1$ ,  $U_2$  — границы рабочего диапазона напряжений на переходе,  $C_{U1}$  — значение емкости (дифференциальное) при напряжении  $U_1$ ,  $l = 1/2$  — для эмиттерного перехода,  $l = 1/3$  — для коллекторного и изолирующего переходов.

В современных интегральных микросхемах  $n$ - $p$ - $n$  транзисторы имеют высокое быстродействие. Их граничная частота усиления составляет  $f_T = 500 \dots 1000$  МГц, а время пролета электронов через базу  $\tau_0$  обычно менее 0,5 нс. При этом быстродействие микросхем ТТЛ определяется, главным образом, временем перезаряда барьерных емкостей транзисторов, которое значительно больше, чем  $\tau_0$ . Поэтому в большинстве аналитических выражений, полученных для времен переключения схем, время  $\tau_0 \approx \tau_B/B$  для простоты опущено.

Емкости  $C_э$ ,  $C_K$  зависят от площади соответствующих  $p$ - $n$  переходов, которые, в свою очередь, определяются, исходя из величины тока, протекающего через транзистор в процессе работы схемы. Кроме того, минимальные значения  $C_э$ ,  $C_K$  ограничиваются технологическими возможностями изготовления транзисторов с малой площадью. При этом в быстродействующих схемах, работающих при повышенных значениях токов, величины  $C_э$ ,  $C_K$  в несколько раз

---

\* В качестве импульсных значений  $B$  и  $B_I$  используются величины коэффициентов усиления, усредненные в диапазоне рабочих токов от  $I_{эст}$  до  $0,1I_{эст}$ , где  $I_{эст}$  — значение тока  $I_э$  открытого транзистора в статическом режиме. Соответствующие импульсные значения  $B$  и  $B_I$  обозначаются буквами  $\beta$  и  $\beta_I$ .

больше, чем в маломощных схемах. В режиме насыщения в транзисторе накапливается избыточный заряд  $Q$ , величина которого связана с токами  $I_b$ ,  $I_k$  транзистора операторным выражением

$$Q(p) = \tau_p [I_b(p) - I_k(p) / B(p\tau_b + 1)] / (p\tau_p + 1), \quad (1.13)$$

где  $p$  — оператор Лапласа,  $\tau_p$  — постоянная времени рассасывания избыточного заряда. Величина постоянной времени  $\tau_p$  близка к величине  $\tau_i$ :  $\tau_p \approx \tau_i$  [18—20]. При подаче отрицательного перепада тока  $I_b$  и (или) положительного перепада тока  $I_k$  происходит рассасывание избыточного заряда и, когда  $Q=0$ , транзистор выходит из насыщения. Используя выражение (1.13), при заданных законах изменения токов  $I_b(t)$  и  $I_k(t)$  можно найти время рассасывания избыточного заряда  $t_p$ . Чтобы повысить быстродействие и уменьшить постоянную рассасывания  $\tau_p$  и соответственно время  $t_p$ , транзисторы легируют золотом.

После выхода из насыщения транзистор переходит в активный, нормальный или инверсный режимы, либо в режим отсечки. Для ускорения переключения обеспечивают большую величину запирающего тока  $I_b$  и можно считать, что после рассасывания заряда  $Q$  транзистор переходит в режим отсечки.

Типовые значения параметров транзисторов в интегральных микросхемах ТТЛ, изготовленных по планарно-эпитаксиальной технологии с изоляцией элементов  $p$ - $n$  переходами или окислом и легированных золотом, при  $T = +25^\circ\text{C}$  следующие:  $U_{э0} = 0,7 \pm 0,1$  В;  $U_{эз} = 0,55 \pm 0,1$  В;  $r_b = 50 \dots 200$  Ом;  $r_k = 5 \dots 20$  Ом;  $B = 20 \dots 50$ ;  $B_I = 0,1 \dots 0,3$ ;  $\tau_b = 5 \dots 10$  нс;  $\tau_p \approx \tau_i = 20 \dots 50$  нс;  $C_{э}$ ,  $C_k = 1 \dots 10$  пФ.

Пробивные напряжения эмиттерного и коллекторного переходов составляют:  $U_{прэ} = 5 \dots 7$  В,  $U_{прк} = 30 \dots 50$  В. Транзисторы в микросхемах, изготовленных по технологии изолирующей диффузии коллектора, имеют значения  $B_I = 3 \dots 5$ ,  $U_{прк} = 6 \dots 8$  В, а в микросхемах, изготовленных по изопланарной технологии,  $U_{прк} \approx 10$  В. Значения остальных параметров соответствуют приведенным выше.

При расчете схем следует учитывать температурные изменения параметров транзисторов. Температурные коэффициенты параметров  $U_{э0}$ ,  $U_{эз}$  составляют  $\theta_U = -(2,0 \pm 0,5)$  мВ/°С. Значения сопротивлений  $r_b$ ,  $r_k$  увеличиваются при возрастании температуры с коэффициентом  $\theta_r = 0,2 \dots 0,4$  %/°С.

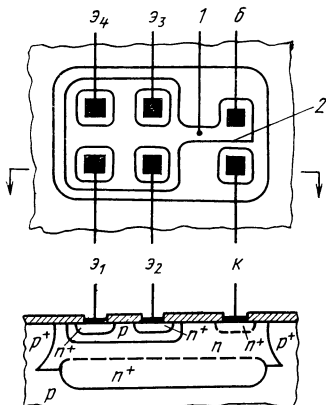
Коэффициент усиления  $B$  (при заданном значении тока  $I_{э}$ ) при  $T_{\text{макс}} = +125^\circ\text{C}$  составляет  $(2 \dots 4) B_{\text{мин}}$ , где  $B_{\text{мин}}$  — значение  $B$  при  $T_{\text{мин}} = -60^\circ\text{C}$ .

Коэффициент  $B_I$  зависит от температуры не столь значительно, и его возрастание в диапазоне  $T = -60 \dots +125^\circ\text{C}$  не превышает 50 %.

Повышение напряжения  $U_{кн}$  при возрастании температуры определяется в соответствии с выражениями (1.10), (1.11) увеличением сопротивления  $r_k$  и изменением напряжения  $U_{кн0}$  вследствие роста  $\varphi_t$  и коэффициентов  $B$ ,  $B_I$ .

Значения  $C_{э}$ ,  $C_k$  и  $\tau_0$  в диапазоне температур  $T = -60 \dots +125^\circ\text{C}$  меняются относительно мало (в пределах 20 %). В то же время значения постоянных времени  $\tau_b$ ,  $\tau_i$ ,  $\tau_p$ , которые определяются временем жизни неосновных носителей в различных областях транзисторов, при увеличении температуры от  $-60$  до  $+125^\circ\text{C}$  существенно возрастают (в 2 ... 4 раза).

**Многоэмиттерные транзисторы.** Специфическим элементом схем ТТЛ является многоэмиттерный транзистор, типовая структура которого показана на рис. 1.13. Для уменьшения входных токов схем необходимо, чтобы многоэмиттерный транзистор имел малое значение инверсного коэффициента усиления  $B'_I$  \*. Это уменьшение достигается увеличением расстояния между контактом базы и эмиттерными



**Рис. 1.13.** Структура многоэмиттерного транзистора, изготовленного по планарно-эпитаксиальной технологии с изоляцией  $p$ - $n$  переходом:

1 — участок базовой области, повышающий сопротивление  $r'_b$ ; 2 — область перехода база-коллектор, образующая диод  $D_K$  (рис. 1.14).

областями, благодаря чему сопротивление базы  $r'_b$  повышается до нескольких сотен ом. При этом, пренебрегая влиянием паразитного  $p$ - $n$ - $p$  эффекта, можно представить многоэмиттерный транзистор в виде схемы, показанной на рис. 1.14, где диод соответствует  $p$ - $n$  переходу между базой и коллектором в районе базового контакта. Диод шунтирует коллекторный переход, вследствие чего инверсный коэффициент усиления снижается до значений  $B'_I = 0,01 \dots 0,05$ .

Непосредственное взаимодействие между эмиттерами (влияние продольного транзисторного  $p$ - $n$ - $p$  эффекта) обычно пренебрежимо мало. Таким образом, многоэмиттерный транзистор можно представить в виде соединения нескольких  $p$ - $n$ - $p$  транзисторов с объединенными базами и коллекторами (рис. 1.15) и пониженными значениями  $B'_I$ . К коллекторам подключена паразитная емкость изоляции  $C_n$ . Поэтому для характеристик многоэмиттерного транзистора используются кусочно-ли-

нейные аппроксимации такого же вида, как для обычных транзисторов. Подробный анализ работы многоэмиттерного транзистора в схемах ТТЛ дан в работе [34].

Если на все  $M$  эмиттеров подано высокое напряжение  $U'_{эм} > U_{км}$  (где  $U_{км}$  — напряжение на коллекторе), то эмиттерные переходы закрыты:  $U_{бэм} \leq U'_{эз}$ , и транзистор работает в инверсном режиме. При этом коллекторный переход открыт и напряжение на нем равно  $U'_{ко}$ . Ток каждого из эмиттеров равен

$$I'_{эм} = B'_I I_{бм}, \quad (1.14a)$$

а коллекторный ток

$$I_{км} = (1 + MB'_I) I_{бм}. \quad (1.15)$$

Если на  $m$  эмиттеров ( $1 \leq m \leq M$ ) подано низкое напряжение  $U'_{эм} < U_{км}$ , то соответствующие эмиттерные переходы открыты:  $U_{бэм} = U'_{эо}$ . При открытом коллекторном переходе напряжение на многоэмиттерном транзисторе равно

$$U_{квм} = U'_{кэо} + I_{км} r'_k \quad (1.16)$$

\* Здесь и далее параметры, относящиеся к многоэмиттерным транзисторам, отмечены индексом «'» (штрих).

где  $r'_k$  — омическое сопротивление коллекторной области транзистора  $T_m$ .

При  $I_{KM}=0$  величина  $U_{KHM}$  равна

$$U_{KHM} = U'_{K\approx 0} = \varphi_T \ln[(1+MB'_I)/mB'_I], \quad (1.17)$$

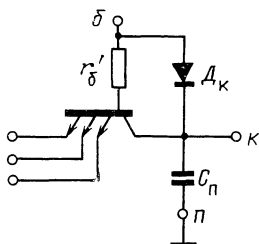


Рис. 1.14. Модель многоэмиттерного транзистора, учитывающая влияние повышенного сопротивления базы.

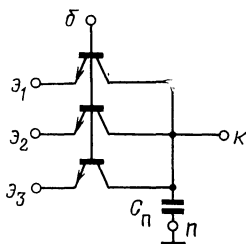


Рис. 1.15. Упрощенная модель многоэмиттерного транзистора.

и при  $m=1$ ,  $B'_I=0,02$  составляет около 0,1 В. Ток, протекающий в каждый из  $(M-m)$  эмиттеров, на которых поддерживается высокое напряжение  $U'_{э(M-m)} > U_{KM}$ , равен

$$I'_{э(M-m)} = B'_I I_{BM}. \quad (1.146)$$

Общий ток

$$I_M = I_{BM}[1 + (M-m)B'_I] + I_{KM}, \quad (1.18)$$

протекающий в многоэмиттерный транзистор, распределяется в  $m$  эмиттеров, на которые подано низкое напряжение  $U'_{эм}$ . Если  $m$  эмиттеров идентичны и напряжения  $U'_{эм}$  на них равны, то ток каждого из них

$$I'_{эм} = I_M/m. \quad (1.19)$$

Вследствие неидентичности характеристик эмиттеров и различия потенциалов  $U'_{эм}$  распределение тока  $I_M$  между  $m$  эмиттерами происходит неравномерно. Тогда через эмиттер, на который подано самое низкое напряжение  $U'_{эм}$ , вытекает основная часть тока  $I'_{эм} \approx I_M$ . Параметры  $U'_{эо}$ ,  $U'_{ко}$  близки к величине  $U_{эо}$  для обычных транзисторов, а  $U'_{эз}$  близко к  $U_{эз}$  (различие не превышает 0,1 В). Поэтому при анализе схем принято  $U'_{эо} \approx U'_{ко} \approx U_{эо}$ ,  $U'_{эз} \approx U_{эз}$ . При изменении напряжения на эмиттерах многоэмиттерный транзистор обеспечивает переключение тока из коллекторной цепи в эмиттерную или наоборот. Так как при этом не требуется производить перезарядку емкости коллекторного перехода и рассасывать заряд в коллекторе, то переключение происходит достаточно быстро и скорость переключения определяется главным образом перезарядом емкостей эмиттерных переходов  $C_{эм}$  и паразитных емкостей на базе и коллекторе. Для уменьшения  $C_{эм}$  и емкости изоляции площади эмиттеров делают возможно малыми. Типовое значение емкости  $C_{эм}$  составляет 1—2 пФ.

Температурные зависимости параметров такие же, как и для обычных транзисторов.

**Диоды.** Функции диодов в интегральных схемах выполняют транзисторы в диодном включении. Возможны следующие способы соединения выводов транзистора для реализации функции диода (табл. 1.1): эмиттер отключен (диод  $B-K$ ), коллектор отключен

Таблица 1.1

Способ диодного включения	$r_d$	$U_{\text{проб}}$	$C_d$	$\tau_d$
$B-Э$	$r_b + r_k$	$U_{k \text{ пр}}$	$C_k$	$\tau_p$
$Э-B$	$r_b$	$U_{э \text{ пр}}$	$C_э$	$\tau_p$
$B-ЭК$	$r_b$	$U_{э \text{ пр}}$	$C_э + C_k$	$\tau_0$
$K-ЭБ$	$r_k$	$U_{k \text{ пр}}$	$C_k$	$\tau_p$
$Э-BK$	$r_k$	$U_{э \text{ пр}}$	$C_э$	$\tau_0$

(диод  $Э-B$ ), эмиттер соединен с коллектором (диод  $B-ЭК$ ), эмиттер соединен с базой (диод  $K-ЭБ$ ), коллектор соединен с базой (диод  $Э-BK$ ). Анализ работы транзисторов в диодном включении дан в работах [8, 9, 35—38].

Для вольтамперных характеристик диодов используется такая же аппроксимация, как и для входных характеристик транзисторов

$$\left\{ \begin{array}{l} I_d = 0 \text{ при } U_d \leq U_{dз}, \\ U_d = U_{d0} + I_d r_d \text{ при } I_d > 0, \end{array} \right\} \quad (1.20)$$

где  $r_d$  — омическое сопротивление диода.

Поскольку параметры  $U_{d0}$ ,  $U_{dз}$  слабо меняются в зависимости от способа соединения выводов транзистора и близки к соответствующим параметрам  $U_{э0}$ ,  $U_{эз}$  транзисторов (различие не превышает 0,1В), то при анализе схем принято  $U_{d0} \approx U_{э0}$ ,  $U_{dз} \approx U_{эз}$ . Величина  $r_d$  зависит от способа включения транзистора и составляет десятки ом.

Связь заряда  $Q_d$ , накопленного в диоде, и тока  $I_d$  определяется операторным выражением

$$Q_d = \tau_d I_d / (p\tau_d + 1), \quad (1.21)$$

где постоянная времени  $\tau_d$  близка по величине к значению  $\tau_0$  или  $\tau_p$  транзисторов (табл. 1.1).

**Диоды Шоттки и транзисторы с барьерами Шоттки (транзисторы Шоттки).** Современные технологические методы позволяют создавать в интегральных схемах высококачественные переходы металл—полупроводник. В качестве металла обычно используется алюминий, который является основным материалом для создания межсоединений в интегральных микросхемах. Переходы металл—полупроводник создаются в едином технологическом процессе изготовления интегральных микросхем. Поэтому в последнее время приборы с пе-

переходом металл—полупроводник (диоды Шоттки и транзисторы Шоттки) нашли широкое применение в схемах ТТЛ [39—43].

Диод Шоттки в интегральном исполнении (рис. 1.16) представляет собой контакт металла с высокоомным полупроводником  $n$ -типа, в качестве которого используется коллекторная область транзистора.

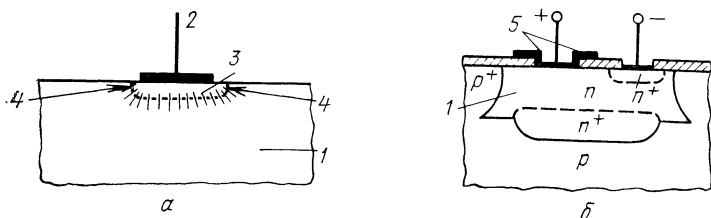


Рис. 1.16. Контакт полупроводник—металл (а) и структура диода Шоттки в интегральных микросхемах (б):

1 — высокоомный полупроводник  $n$ -типа; 2 — металл; 3 — обедненный слой; 4 — области сильного поля у краев контакта; 5 — участки «расширенной» металлизации, ослабляющие поле у краев контакта.

стором. При тщательной очистке поверхности полупроводника на границе полупроводник—металл возникает обедненный слой, и образуется барьер Шоттки. Контакт полупроводник—металл приобретает выпрямляющие свойства и работает как диод.

Напряжение на диоде Шоттки в открытом состоянии  $U_{дш0} = 0,35 \dots 0,45$  В при токе  $I_{дш} = 1$  мА и почти вдвое меньше, чем падение напряжения  $U_{00}$  на  $p$ - $n$  переходе.

Время выключения диода Шоттки не превышает 0,1 нс, тогда как для полупроводниковых диодов, легированных золотом, это время составляет не менее нескольких десятых долей наносекунд.

На рис. 1.17 для сравнения приведены типичные вольт-амперные характеристики интегрального диода на основе эмиттерного перехода транзистора (диод Э—БК) и двух диодов Шоттки различной площади:  $S_{дш1} > S_{дш2}$ . При уменьшении площади емкости диода  $C_{дш}$  падает, однако одновременно возрастает его последовательное сопротивление  $r_{дш}$ .

Для вольт-амперной характеристики диода Шоттки будем использовать такую же кусочно-линейную аппроксимацию, как и для обычного диода (1.20), считая  $U_{дшз} \approx 0,30$  В,  $U_{дш0} \approx 0,35 \dots 0,40$  В при  $T = 20^\circ\text{C}$ . Температурный коэффициент напряжений  $U_{дшз}$ ,  $U_{дш0}$  равен  $\theta_{уш} \approx -(1,0 \dots 2,0)$  мВ/°С. Сопротивление  $r_{дш}$  составляет десятки ом, а емкость  $C_{дш} \approx 1 \dots 3$  пФ.

У краев перехода металл—полупроводник (рис. 1.16,а) имеется область сильного электрического поля, которое вызывает туннельный

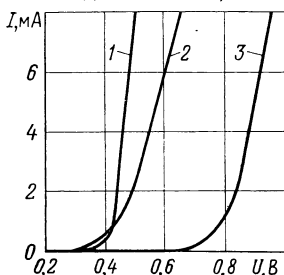


Рис. 1.17. Вольтамперные характеристики диодов Шоттки разной площади (1, 2) и диода Э—БК (3) при  $T = 20^\circ\text{C}$ .

тск, изменяющий вольт-амперную характеристику диода. Чтобы избежать этого, в интегральных микросхемах используют структуры с «расширенной» металлизацией (рис. 1.16,б), которая покрывает слой окисла у края перехода. При этом электрическое поле у края перехода уменьшается более плавно и туннельный ток не возникает.

Диоды Шоттки используются для того, чтобы ограничить степень насыщения транзистора. Для этого он включается параллельно коллекторному переходу, как показано на рис. 1.18,а [41, 42, 44]. При интегральном исполнении транзистор и диод составляют единую структуру, которую называют транзистором Шоттки (рис. 1.18,б).

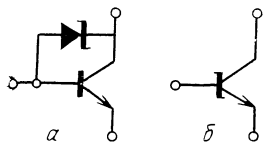


Рис. 1.18. Модель (а) и условное обозначение (б) транзистора Шоттки.

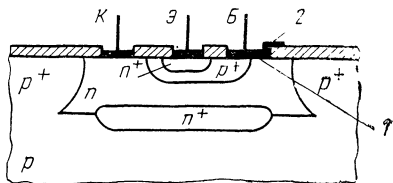


Рис. 1.19. Структура транзистора Шоттки, изготовленного по планарно-эпитаксиальной технологии с изоляцией  $p$ - $n$  переходами:

1 — область образования барьера Шоттки;  
2 — участок «расширенной» металлизации.

На рис. 1.19 показана структура транзистора Шоттки в интегральных микросхемах, изготовленных по планарно-эпитаксиальной технологии с изоляцией  $p$ - $n$  переходами. Структура представляет собой обычный интегральный  $n$ - $p$ - $n$  транзистор, в котором металлический контакт базы расширен на область коллектора. Диод Шоттки образуется в месте контакта металла с высокоомным полупроводником коллекторного слоя. При таком методе изготовления площадь, занимаемая транзистором Шоттки на кристалле, не на много превосходит площадь обычного транзистора. Аналогичным образом можно также создать диоды и транзисторы Шоттки в интегральных микросхемах, используя технологию с изоляцией слоем окисла или изопланарную технологию.

Для получения высококачественного барьера Шоттки в технологический процесс изготовления микросхем приходится вводить дополнительные операции: специальную очистку поверхности кремния [45], дополнительное напыление и вплавление платины под контакт металл—полупроводник или напыление молибдена [43]. Однако такое усложнение технологии частично компенсируется исключением ряда технологических операций, связанных с легированием золотом.

В режиме отсечки и в активном режиме  $U_{бк} < U_{дшз}$  диод закрыт и не влияет на работу транзистора. При  $I_б > I_к/B$  транзистор входит в насыщение. Потенциал коллектора уменьшается, и при  $U_{бк} = U_{дшз}$  открывается диод. Основная часть тока  $I_б$  через диод начинает поступать в коллектор транзистора, т. е. базовый ток транзистора уменьшается  $I'_б = I_б - I_{дш}$ , а коллекторный ток возрастает  $I'_к = I_к + I_{дш}$ . В режиме насыщения

$$\begin{aligned} U_{квнш} &= U_{бэ} - U_{бк} = (U_{эо} + I'_б r'_б) - (U_{дшо} + I_{дш} r_{дш}) = \\ &= U_{кво} + (I_к + I_{дш}) r_к, \end{aligned} \quad (1.22)$$

где значение  $U_{кн0}$  определяется выражением (1.11а), в котором вместо  $S$  следует использовать величину

$$S' = BI'_6 / I'_K. \quad (1.23)$$

На рис. 1.20 показаны типовые зависимости напряжения коллектор—эмиттер от тока коллектора для транзистора Шоттки и обычного интегрального транзистора в режиме насыщения. Величина  $U_{кнш}$  превышает  $U_{кн}$  на 0,2...0,3 В. Однако величина  $U_{кнш}$  слабее зависит от коллекторного тока  $I_{кш}$ , что объясняется эффектом перераспределения токов. При возрастании тока  $I_K$  повышается потенциал коллектора, т. е. уменьшается напряжение на диоде Шоттки. В результате уменьшается ток диода  $I_{дш}$ , возрастают ток базы  $I'_6$  и степень насыщения  $S'$ . Величина  $U_{кн0}$  уменьшается, ослабляя зависимость  $U_{кнш}$  от тока  $I_K$ .

Так как напряжение на коллекторном переходе насыщенного транзистора Шоттки  $U_{бк} = U_{дш}$  меньше, чем напряжение запирающего коллекторного перехода  $U_{кз}$ , то заряд, инжектируемый коллекторным переходом, весьма мал. Можно считать, что в насыщенном транзисторе Шоттки избыточный заряд не накапливается, поэтому при его переключении отсутствует стадия рассасывания избыточного заряда и нет необходимости уменьшать постоянную времени рассасывания легированием транзистора золотом. Транзисторы, не легированные золотом, имеют коэффициент усиления  $B = 100 \dots 150$  при  $T = 20^\circ\text{C}$ , т. е. в несколько раз больше, чем транзисторы, легированные золотом.

При работе транзистора Шоттки в инверсном режиме открытый диод шунтирует коллекторный переход транзистора, и  $I_{дш} = I_6 - I'_6 \approx I_6$ , так как  $U_{дш} < U_{кз}$ . При этом ток базы  $I_6$  и ток через коллекторный переход  $I'_K = (B + 1)I'_6$  весьма малы. Соответственно оказывается малым и ток, втекающий в эмиттер  $I_3 = BI'_6 = B_{ш}I_6$ .

Таким образом, транзистор Шоттки имеет низкие значения коэффициента передачи тока в инверсном режиме

$$B_{ш} = I_3 / I_6 = B_I (1 - I_{дш} / I_6), \quad (1.24)$$

даже для транзисторов, не легированных золотом, тогда как значения  $B_I$  при этом достигают 1...2. Поэтому многоэмиттерный транзистор часто также делают с барьером Шоттки, чтобы обеспечить малую величину  $B'_I$ .

Таким образом, транзистор Шоттки, не легированный золотом, можно рассматривать при анализе схем как обычный  $n-p-n$  транзистор с большим коэффициентом усиления, малым инверсным коэффициентом усиления, повышенным падением напряжения в режиме насыщения  $U_{кнш} \approx 0,3 \dots 0,4$  В, увеличенной емкостью коллекторного перехода  $C_{кш} = C_K + C_{дш}$  и малой постоянной времени рассасывания  $\tau_r \approx 0$ . Остальные параметры такие же, как у обычного транзистора.

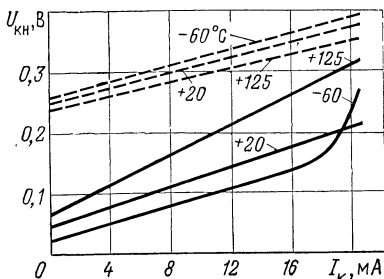


Рис. 1.20. Коллекторные характеристики в режиме насыщения при токе базы  $I_{бк} = 2$  мА для обычного транзистора (—) и транзистора Шоттки (---).



**Резисторы.** Обычно используются диффузионные резисторы на основе кремния  $n$ -типа (коллекторный слой) и  $p$ -типа (базовый слой). Коллекторный слой  $n$ -типа имеет более высокое удельное сопротивление, чем базовый слой  $p$ -типа, поэтому он служит для создания резисторов с большим сопротивлением.

Так как диффузионные резисторы создаются из полупроводникового материала (кремния), то для них характерна существенная температурная зависимость. Относительное температурное отклонение сопротивления от значения при нормальной температуре  $T_n$  определяется соотношением

$$\epsilon_{RT} = \theta_R (T - T_n) = \Delta R(T) / R(T_n),$$

где  $\theta_R$  — температурный коэффициент сопротивления.

Типовые значения  $\theta_R$  составляют

для резисторов  $n$ -типа  $\theta_R = 0,3 \dots 0,5 \text{ } \%/^{\circ}\text{C}$

в диапазоне  $T = -60 \dots +125^{\circ}\text{C}$ ;

для резисторов  $p$ -типа  $\theta_R = 0,1 \dots 0,2 \text{ } \%/^{\circ}\text{C}$

в диапазоне  $T = 20 \dots 125^{\circ}\text{C}$ ,  $\theta_R = \pm 0,05 \text{ } \%/^{\circ}\text{C}$

в диапазоне  $T = -60 \dots +20^{\circ}\text{C}$ .

Чаще используются резисторы на основе кремния  $p$ -типа.

Типовое значение технологического разброса номиналов для диффузионных резисторов составляет  $\epsilon_R = (10 \div 20) \%$ . Отношение сопротивлений резисторов, расположенных в одной микросхеме, при анализе принято постоянным, так как оно обычно сохраняется неизменным с точностью  $2 \dots 3 \%$  в полном диапазоне рабочих температур.

Для диффузионных резисторов используется упрощенная эквивалентная схема, показанная на рис. 1.21, где  $C_R = 0,5 C_{Rn} + C_{кп}$ .

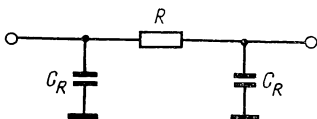


Рис. 1.21. Упрощенная эквивалентная схема диффузионного резистора.

$C_{кп}$  — паразитная емкость перехода, изолирующего контактную область резистора;  $C_{Rn}$  — паразитная емкость  $p$ - $n$  перехода, изолирующего резистивную область, которая пропорциональна длине резистора и соответственно его сопротивлению.

Сопротивление считается линейным, так как в рабочем диапазоне напряжений нелинейность сопротивлений диффузионных резисторов не превышает  $1 \dots 2 \%$ .

### 1.3. ПРОСТЕЙШИЕ ВАРИАНТЫ СХЕМ ТТЛ

В первых образцах микросхем ТТЛ, выпускавшихся в 1963—64 гг., в качестве инвертора использовался транзисторный ключ с общим эмиттером (простой инвертор). Этот простейший вариант схемы И—НЕ (схема ТТЛ-1) представлен на рис. 1.22 (пунктиром показаны паразитные емкости изоляции, межсоединений и нагрузки, учитываемые при анализе переходных процессов в

схеме). По своему внешнему виду и по ряду параметров эта схема близка к типовой схеме И—НЕ диодно-транзисторной логики (рис. 1.23), которая явилась ее прото-

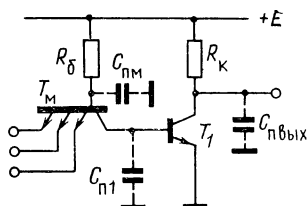


Рис. 1.22. Простейший вариант схемы И—НЕ ТПЛ-1.

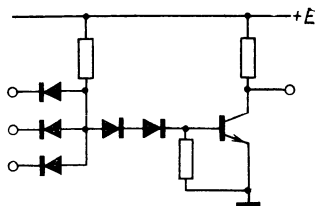


Рис. 1.23. Схема ДТЛ.

типом. Анализ схемы проведен в ряде работ [8, 9, 14], поэтому в настоящем разделе кратко рассмотрены ее основные параметры.

Передаточная характеристика схемы показана на рис. 1.24. При низком напряжении  $U_{вх\,m} < U_{п}^0$  на  $m$  входах схемы ( $1 \leq m \leq M$ ), соответствующие  $m$  эмиттерных переходов транзистора  $T_M$  открыты, а остальные ( $M - m$ ) переходов, на которые подан высокий потенциал  $U_{вх\,(M-m)}^1 > U_{п}^1$  закрыты. Коллекторный переход транзистора  $T_M$  открыт, и напряжение на базе транзистора  $T_1$  равно

$$U_{б1} = U_{вх\,m} + U'_{кэ0} < U_{эз}. \quad (1.25)$$

Транзистор  $T_1$  закрыт, и на выходе схемы поддерживается высокое напряжение

$$U_{вых}^1 = E - I_H^1 R_K. \quad (1.26)$$

При увеличении  $U_{вх\,m}$  напряжение  $U_{б1}$  возрастает, и при

$$U_{вх\,m} = U_{п}^0 = U_{эз} - U'_{кэ0} \quad (1.27)$$

переключается транзистор  $T_M$ . Токи, вытекающие из его  $m$  эмиттеров, уменьшаются, и начинает протекать коллекторный ток, втекающий в базу  $T_1$ . Появляется коллекторный ток транзистора  $T_1$ , и выходной потенциал  $U_{вых}$  уменьшается. При

$$U_{вх\,m} = U_{п}^1 = U_{эз} + U'_{ко} - U'_{эз}, \quad (1.28)$$

$m$  эмиттерных переходов запираются и транзистор  $T_M$  поступает в инверсный режим. Транзистор  $T_1$  входит в

насыщение, так как схема проектируется таким образом, чтобы

$$B_{\text{мин}} I_{\text{бн1}} \geq S_{\text{мин}} I_{\text{кн1}}, \quad (1.29)$$

где  $S_{\text{мин}} = 1, 3 \dots 1, 5$ ,

$$I_{\text{бн1}} = (1 + MB'_I) (E - U'_{\text{ко}} - U_{\text{зо}}) / (R_6 + r'_6),$$

$$I_{\text{кн1}} = (E - U_{\text{кн1}}) / R_{\text{к}} + I_{\text{н}}^0.$$

На выходе схемы устанавливается низкое напряжение

$$U_{\text{вых}}^0 = U_{\text{кн1}} = U_{\text{кн0}} + I_{\text{кн1}} r_{\text{к1}}. \quad (1.30)$$

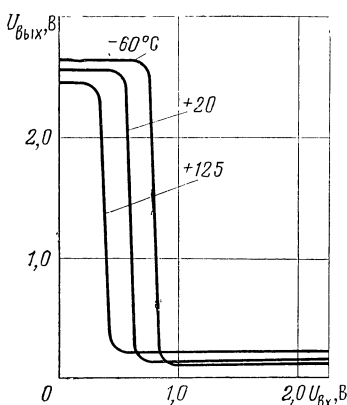


Рис. 1.24. Передаточные характеристики схемы ТТЛ-1 при  $E=3\text{ В}$ ,  $n=4$ .

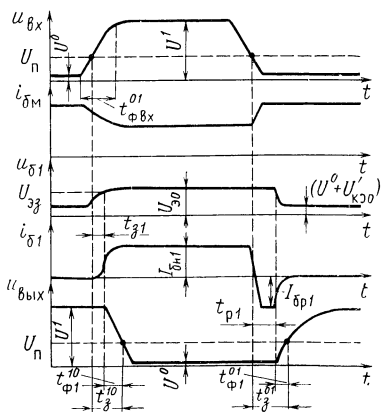


Рис. 1.25. Временные диаграммы токов и напряжений при переключении схемы ТТЛ-1.

Входной ток  $I_{\text{вх}}^0$ , вытекающий из схемы при низком напряжении  $U^0$  на входе,

$$I_{\text{вх}}^0 = \left[ \frac{(1 + (M - m) B'_I)}{m} \right] \left[ \frac{(E - U'_{\text{зо}} - U^0)}{(R_6 + r'_6)} \right], \quad (1.31)$$

где  $m$  — число входов, на которые подано напряжение  $U^0$ . Величина входного тока  $I_{\text{вх}}^1$ , втекающего в схему при высоком напряжении  $U^1$  на входе, зависит от значений напряжения на остальных входах схемы. Если высокое напряжение  $U_{\text{вх}} > U_{\text{п}}$  подано на все входы схемы, то

$$I_{\text{вх}}^1 = B'_I (E - U'_{\text{ко}} - U_{\text{зо}}) / (R_6 + r'_6). \quad (1.32a)$$

Если хотя бы на один из остальных входов подано низкое напряжение  $U^0$ , то

$$I_{\text{вх}}^1 = B'_I (E - U'_{\text{эо}} - U_0) / (R_6 + r'_6). \quad (1.326)$$

Помехоустойчивость схемы определяется выражениями:

$$\Delta U_{\Pi}^+ = U_{\text{эз}} - U'_{\text{кэо}} - U_{\text{макс}}^0 = U_{\Pi}^0 - U_{\text{макс}}^0, \quad (1.33)$$

$$\Delta U_{\Pi}^- = U_{\text{мин}}^1 - U_{\Pi}^1 = U_{\text{мин}}^1 - U_{\text{эо}} - U'_{\text{ко}} + U_{\text{эз}}. \quad (1.34)$$

Так как схема имеет низкий порог переключения  $U_{\Pi}^1$  ( $U_{\Pi}^1 = 0,4 \dots 0,5$  В при  $T = 20^\circ\text{C}$ ), то для получения необходимой помехоустойчивости  $\Delta U_{\Pi}^+$  требуется обеспечить малые значения уровня  $U_{\text{вых}}^0$ . Для этого в соответствии с выражениями (1.29), (1.30), (1.11) необходимо увеличивать коэффициенты усиления  $B$  и  $B_I$  транзистора  $T_1$  и уменьшать сопротивление  $r_k$ . При типовых значениях параметров элементов и  $E = 3,0$  В,  $T = 20^\circ\text{C}$  величина  $\Delta U_{\Pi}^+$  составляет  $0,2 \dots 0,3$  В, а  $\Delta U_{\Pi}^-$  — не менее 1 В. При возрастании температуры помехоустойчивость  $\Delta U_{\Pi}^+$  уменьшается с температурным коэффициентом около  $2$  мВ/ $^\circ\text{C}$  и при  $T = 125^\circ\text{C}$   $\Delta U_{\Pi}^+ < 0,1$  В. Таким образом, схема имеет низкую помехоустойчивость по отношению к помехам положительной полярности. При заданном значении  $U_{\text{мин}}^1$ , используя выражение (1.26), находим допустимую величину  $I_{\text{н макс}}^1$  и с помощью выражения (1.16), (1.326) определяем допустимое число нагрузок  $N_1$  по уровню  $U^1$ . При максимальной величине  $B'_I$  с учетом  $\epsilon_R$  получаем

$$N_1 = \frac{1}{B'_{I \text{ макс}}} \frac{1 - \epsilon_R}{1 + \epsilon_R} \frac{R_6}{R_k} \frac{E - U_{\text{мин}}^1}{E - U_{\text{эо}}}. \quad (1.35a)$$

Из условия (1.29) находим допустимую величину  $I_{\text{н макс}}^0$  и с помощью выражений (1.1a), (1.31) определяем допустимое число нагрузок  $N_0$  по уровню  $U^0$ . Считая  $MB'_I \ll 1$ ,  $m = 1$ , получаем

$$N_0 = \frac{1 - \epsilon_R}{1 + \epsilon_R} \left( \frac{B_{\text{мин}}}{S_{\text{мин}}} \frac{E - U_{\text{эо}} - U'_{\text{ко}}}{E - U'_{\text{эо}}} - \frac{R_6}{R_k} \frac{E}{E - U'_{\text{эо}}} \right) \quad (1.356)$$

Для реальных схем величина  $N_1 > N_0$ , поэтому  $N = N_0$ . При типовых значениях параметров элементов  $B_{\text{мин}} = 10$  и  $E = 3 \dots 4$  В коэффициент разветвления на выходе схемы составляет  $N = 3 \dots 4$ .

Токи, потребляемые схемой от источника питания, равны

$$I_{\Pi}^0 = (E - U'_{\text{зо}})/R_6, \quad (1.36a)$$

$$I_{\Pi}^1 = (E - U'_{\text{ко}} - U_{\text{зо}})/R_6 + E/R_k. \quad (1.36b)$$

Определив токи  $I_{\Pi}^0$ ,  $I_{\Pi}^1$ , можно найти среднюю мощность, потребляемую схемой, с помощью выражения (1.3).

Процесс переключения схемы подробно рассмотрен в работе [8]. На рис. 1.25 представлены временные диаграммы токов и напряжений в схеме. При поступлении на вход схемы высокого напряжения  $U^1$  эмиттерные переходы транзистора  $T_M$  запираются. Ток  $i_{бМ}$  через открытый коллекторный переход  $T_M$  заряжает паразитные емкости на базе транзистора  $T_1$ . Потенциал  $u_{б1}$  возрастает, и спустя время  $t_{з1}$  транзистор  $T_1$  отпирается. В базу открытого  $T_1$  поступает ток  $i_{б1} = I_{бн1}$  и происходит увеличение коллекторного тока  $i_{к1}$  и уменьшение выходного напряжения  $u_{\text{вых}}$ . За время  $t_{\phi1}^{10}$  величина  $u_{\text{вых}}$  снижается до значения порога  $U_{\Pi}$ . При дальнейшем уменьшении  $u_{\text{вых}}$  транзистор  $T_1$  входит в насыщение и на выходе устанавливается низкое напряжение  $u_{\text{вых}} = U^0$ .

При поступлении на входы низкого напряжения  $U^0$  соответствующие эмиттерные переходы транзистора  $T_M$  отпираются. Коллекторный переход  $T_M$  открыт, и через  $T_M$  из базы транзистора  $T_1$  вытекает значительный ток

$$I'_{бp1} = (U_{\text{зо}} - U'_{кз0} - U_{кн0}) / (r_{б1} + r'_6 + nr_{к1}), \quad (1.37a)$$

способствующий быстрому рассасыванию избыточного заряда в  $T_1$ . После окончания рассасывания заряда у эмиттерного перехода  $T_1$  этот ток становится равным

$$I''_{бp1} \approx I_{кн1} = E/R_k + n(E - U'_{\text{зо}})/R_6. \quad (1.37b)$$

Рассасывание избыточного заряда в  $T_1$  заканчивается спустя время  $t_{p1}$ , которое определяется выражением (1.42), где используется минимальное из значений токов рассасывания  $I_{бp1} = \min\{I'_{бp1}, I''_{бp1}\}$ .

Таким образом, использование на входе схемы многоэмиттерного транзистора позволяет существенно снизить величину  $t_{p1}$ , и время рассасывания избыточного заряда в выходном транзисторе схем ТТЛ мало. Затем транзистор  $T_1$  запирается и напряжение  $u_{\text{вых}}$  возрастает до значения  $U_{\Pi}$  за время  $t_{\phi1}^{01}$  и далее до величины  $U^1$ .

На основании анализа переходных характеристик схемы получены приближенные выражения для задержек  $t_3^{10}$ ,  $t_3^{01}$ , приведенные в табл. 1.2\*.

Таблица 1.2

Включение схемы	$t_3^{10} = t_{31} + t_{\phi 1}^{10}; \quad (1.38)$
	$t_{31} = R_6(MC_{ЭМ} + C_{ПМ} + C_{П1} + C_{Э1} + C_{К1}) + \frac{U_{ЭЭ} - U'_{КЭ0} - U^0}{(E - U'_{КО}) + (U^1 - U^0)} \frac{mR_5C_{ЭМ}}{t_{\phi \text{ вх}}^{01}}, \quad (1.39)$
	$t_{\phi 1}^{10} = R_6 \left( C_{К1} + \frac{C_{Н} + C_{П \text{ вых}}}{\beta_1} \right) \frac{E - U'_{КО} - U_{Э0}}{U^1 - U_{П}}. \quad (1.40)$
Выключение схемы	$t_3^{01} = t_{p1} + t_{\phi 1}^{01}, \quad (1.41)$
	$t_{p1} = \tau_p \ln [(I_{БН1} + I_{БР1}) / (I_{БН1} + I_{КН1}/B_1)], \quad (1.42)$
	$t_{\phi 1}^{01} = R_K (C_{К1} + C_{Н} + C_{П \text{ вых}}) \ln [(U^1 - U^0) / (U^1 - U_{П})]. \quad (1.43)$

Примечание.  $C_{ПМ}$  — паразитная емкость на базе  $T_M$ ,  $C_{П1}$  — паразитная емкость на базе  $T_1$ ,  $C_{П \text{ вых}}$  — паразитная емкость на выходе схемы.

Сравнение различных типов логических схем, проведенное в [14], показало, что схема ТТЛ-1 при такой же потребляемой мощности обеспечивает более высокое быстродействие, чем схемы с резистивными связями и диодно-транзисторные. В то же время она обладает существенными недостатками, основным из которых является низкая помехоустойчивость. Кроме того, эта схема имеет невысокую нагрузочную способность. Быстродействие схемы значительно снижается при увеличении емкостной нагрузки. Снижение быстродействия обусловлено, главным образом, существенным возрастанием задержки выключения  $t_3^{01}$  вследствие увеличения времени

\* Выражения в табл. 1.2 несколько отличаются от приведенных в [8]. Так, задержки  $t_3^{10}$ ,  $t_3^{01}$  определены на уровне порога переключения  $U_{П} \approx U_{Э0}$  (в [8] на уровне 0,5 амплитуды выходного импульса). Учтены влияние нагрузки на  $t_{p1}$ ,  $t_{\phi 1}^{01}$  и емкости  $C_{К1}$  на  $t_{\phi 1}^{10}$ . Эти выражения позволяют более точно оценить быстродействие схемы.

$t_{\phi 1}^{\text{н}}$ , определяемого процессом заряда емкости нагрузки через значительное выходное сопротивление схемы в выключенном состоянии, равное  $R_K$ . Поэтому был разработан ряд модификаций схем ТТЛ, в которых обеспечивается повышение помехоустойчивости, нагрузочной способности и быстродействия за счет использования более сложных схем инвертора.

Наиболее простым способом повышения помехоустойчивости схемы является включение диода в базовую цепь транзистора  $T_1$ . Схема с дополнительным диодом ТТЛ-1д показана на рис. 1.26, а. Пороги переключения

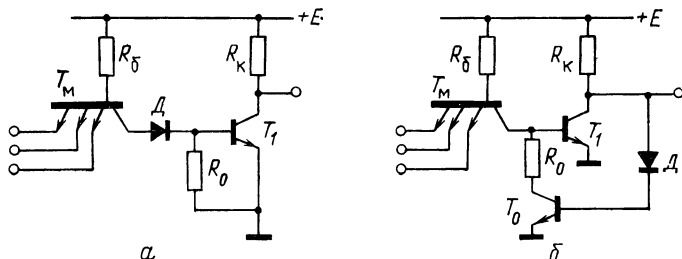


Рис. 1.26. Схемы с повышенной помехоустойчивостью ТТЛ-1д (а) и ТТЛ-1ос (б).

схемы и помехоустойчивость  $\Delta U_{\text{п}}^{+}$  повышены на величину  $U_{\text{до}}$ . В результате помехоустойчивость схемы оказывается почти такой же, как для схемы ДТЛ, (рис. 1.23) и составляет около 1В при  $T = +20^{\circ}\text{C}$  и не менее 0,5... 0,6 В в диапазоне  $T = -60... +125^{\circ}\text{C}$ . Однако быстродействие схемы снижается, так как при выключении схемы диод запирается и препятствует вытеканию рассасывающего тока  $I_{\text{бp1}}$  из базы насыщенного транзистора  $T_1$ . Для ускорения рассасывания избыточного заряда в транзисторе  $T_1$  в схему включается резистор  $R_0$ , который обеспечивает вытекание из базы  $T_1$  тока  $I_{\text{бp1}} = U_{\text{ao}}/R_0$ . Сопротивление  $R_0$  нельзя выбирать малым, так как при этом снижается нагрузочная способность схемы. Поэтому величина  $I_{\text{бp1}}$  в данной схеме существенно меньше, а время рассасывания больше, чем в схеме без диода. Увеличивается также время отпирания  $t_{\text{з1}}$ , так как схема имеет более высокий порог переключения и повышенное значение паразитной емкости  $C_{\text{пл}}$ . Таким образом, быстродействие этой схемы оказывается существенно меньше, чем схемы без диода. По своим характеристикам схема

с диодом весьма близка к типовой схеме ДТЛ (рис. 1.23), подробно рассмотренной в [8, 9]. Анализ схемы ТТЛ-1д дан в работе [46].

На рис. 1.26,б показана схема, в которой для повышения порога переключения и помехоустойчивости используется обратная связь (схема ТТЛ-1ос) [9]. При напряжении  $U^1$  на всех входах на выходе схемы поддерживается низкое напряжение  $U_{\text{вых}}^0 = U_{\text{кн1}}$  и транзистор  $T_0$  закрыт. При напряжении  $U^0$  на входе на выходе схемы поддерживается высокое напряжение  $U_{\text{вых}}^1 = U_{\text{з0}} + U_{\text{до}}$ , и транзистор  $T_0$  открыт и насыщен. Так как обычно  $U_{\text{вх}}^0 > U_{\text{кэ0}}$ , то насыщенный транзистор  $T_0$  пропускает ток, вытекающий из коллектора  $T_{\text{м}}$ . В результате величина  $U_{\text{кнм}}$  — падение напряжения на  $T_{\text{м}}$ , оказывается на несколько десятков милливольт меньше, чем в схеме ТТЛ-1, где коллекторный ток  $T_{\text{м}}$  при низком напряжении на входе равен нулю, и  $U_{\text{кнм}} = U'_{\text{кэ0}}$ . Напряжение на базе закрытого транзистора  $T_1$  оказывается ниже, и в соответствии с выражениями (1.30) и (1.36) порог включения и помехоустойчивость  $\Delta U$  на несколько десятков милливольт выше.

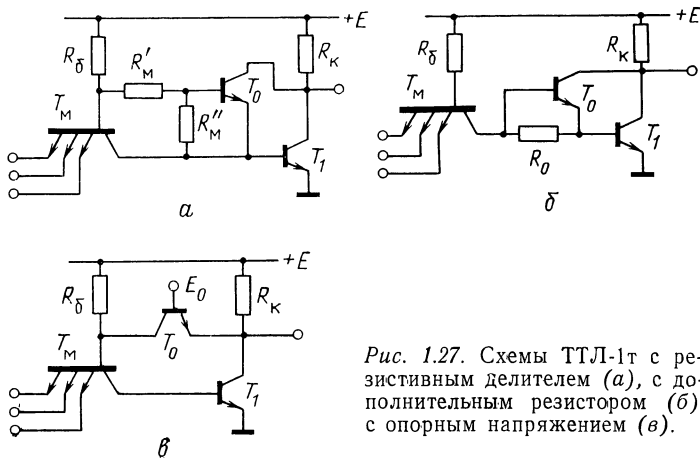


Рис. 1.27. Схемы ТТЛ-1т с резистивным делителем (а), с дополнительным резистором (б), с опорным напряжением (в).

Повысить быстродействие схемы ТТЛ-1 можно включением дополнительного транзистора, как показано на рис. 1.27 (схемы ТТЛ-1т) [47]. В этих схемах при низком напряжении на выходе дополнительный транзистор  $T_0$  открывается и пропускает часть тока из базовой цепи насыщенного выходного транзистора  $T_1$  в его коллек-



тор. В результате снижается степень насыщения транзистора  $T_1$ , т. е. уменьшается накопленный избыточный заряд и соответственно время его рассасывания  $t_{p1}$  при выключении схемы. При низком напряжении хотя бы на одном из входов транзистор  $T_0$  закрыт и схема работает как ТТЛ-1. Таким образом, в схемах ТТЛ-1т повышение быстродействия достигается уменьшением задержки  $t_{a1}^0$ . При этом, однако, повышается величина  $U_{\text{вых}}^0$  и соответственно снижается помехоустойчивость  $\Delta U_{\text{п}}^+$ .

В схеме с резистивным делителем (рис. 1.27,а) степень насыщения транзистора  $T_1$  при высоком напряжении на входе определяется отношением сопротивлений  $R'_m/R''_m$ . При  $R'_m \gg R''_m$  ток, ответвляющийся через транзистор  $T_0$ , мал и степень насыщения транзистора  $T_1$  и соответственно напряжение  $U_{\text{вых}}^0$  на выходе схемы почти такие же, как в схеме ТТЛ-1. При  $R'_m \ll R''_m$  основная часть тока, протекающего через резистор  $R_6$ , поступает через транзистор  $T_0$  в коллектор  $T_1$ . Транзистор  $T_1$  находится на границе насыщения ( $S_1 \approx 1$ ), и напряжение на выходе схемы  $U_{\text{вых}}^0 \approx U'_{\text{ко}}$ . Таким образом, при уменьшении отношения  $R'_m/R''_m$  возрастает величина  $U_{\text{вых}}^0$ , т. е. снижается помехоустойчивость  $\Delta U_{\text{п}}^+$  и уменьшается избыточный заряд, накопленный в транзисторе  $T_1$ , что приводит к повышению быстродействия. Поэтому величину  $R'_m/R''_m$  в каждом конкретном случае следует выбирать путем компромисса между требованиями к помехоустойчивости и быстродействию схем.

В схеме, показанной на рис. 1.27,б, степень насыщения транзистора  $T_1$  определяется сопротивлением  $R_0$ . Приближенно можно считать, что степень насыщения уменьшается в  $K$  раз, если падение напряжения на резисторе  $R_0$  равно  $U_{R0} = (R_0/R_6)(E - U'_{\text{ко}} - U_{\text{зо}}) = \varphi_1 \ln(K/B_1)$ . При уменьшении степени насыщения не только возрастает  $U_{\text{вых}}^0$ , но и уменьшается порог  $U_{\text{п}}^0$  на величину  $U_{R0}$ , т. е. быстродействие повышается при большем снижении помехоустойчивости, чем в схеме, показанной на рис. 1.27,а.

В схеме, показанной на рис. 1.27,в, транзистор  $T_0$ , регулирующий степень насыщения выходного транзистора, управляется внешним опорным напряжением  $E_0$ . При этом  $U_{\text{вых}}^0 = E_0 - U_{\text{зо}}$ . Меняя величину  $E_0$  в пределах  $U_{\text{зо}} \dots 2U_{\text{зо}}$ , можно уменьшать степень насыщения  $T_1$  до  $S_1 = 1$ . Источник напряжения  $E_0$  целесообразно разме-

щать на одном кристалле со схемами для обеспечения температурной компенсации. Недостатком этого варианта является повышенная потребляемая мощность.

В схемах ТТЛ-1т можно уменьшить задержку  $t_{\text{в}}^{01}$  в 1,5...2 раза при снижении помехоустойчивости на несколько десятков милливольт [47].

Значительное уменьшение задержки  $t_3^{01}$  можно обеспечить, используя диоды Шоттки. В схеме ТТЛ-1тш, показанной на рис. 1.28,а, [41, 42, 48], где на выходе вклю-

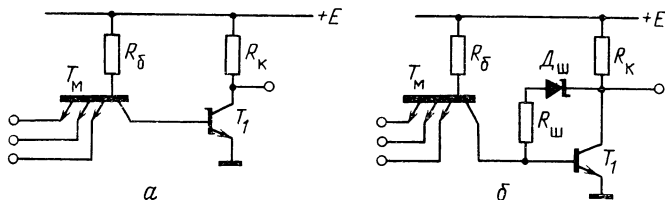


Рис. 1.28. Схемы с транзистором Шоттки ТТЛ-1тш (а) и с диодом Шоттки ТТЛ-1дш (б).

чен транзистор Шоттки, достигается  $t_{p1} \approx 0$ . Однако напряжение  $U_{\text{вых}}^0 = U_{\text{кн ш}}$  оказывается значительно выше (приблизительно на 0,2 В), чем в схеме ТТЛ-1. Поэтому данная схема имеет очень малую помехоустойчивость, особенно при высоких температурах, где  $\Delta U_{\text{н}}^+ < 0,1 \text{ В}$ .

Регулировать степень влияния диода на характеристики схемы можно включением последовательно с ним сопротивления  $R_{\text{ш}}$  (рис. 1.28,б) [49]. При увеличении  $R_{\text{ш}}$  влияние диода уменьшается, т. е. время  $t_{p1}$  увеличивается, а значение  $U_{\text{вых}}^0$  понижается. С помощью сопротивления  $R_{\text{ш}}$  (обычно десятки ом) можно получить существенно меньшую задержку  $t_{p1}$ , чем в схеме ТТЛ-1, при относительно небольшом повышении напряжения  $U_{\text{вых}}^0$ .

Коэффициент разветвления на выходе схемы (1.2в) определяется величиной  $N_0$ . Для повышения  $N_0$  в инвертор вводится дополнительный транзисторный каскад. Схемы с двухкаскадным инвертором (ТТЛ-2) показаны на рис. 1.29.

Дополнительный каскад (транзистор  $T_2$ ) увеличивает ток, поступающий в базу транзистора  $T_1$ , в результате чего  $N_0$  увеличивается в несколько раз и коэффициент разветвления на выходе схемы достигает значения  $N = N_0 = 10...15$ . Эмиттерный переход транзистора  $T_2$  играет ту же роль, что диод в схеме ТТЛ-1д, повышая по-

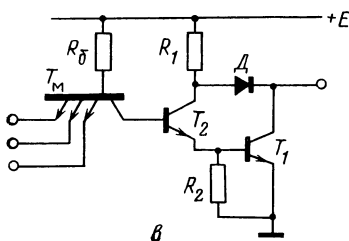
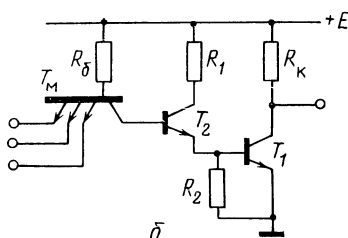
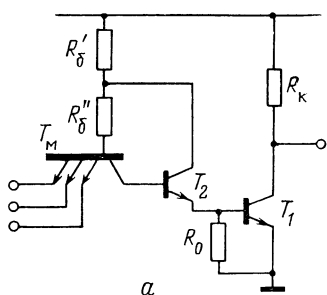


Рис. 1.29. Схемы ТТЛ-2 с насыщенным транзистором  $T_2$  (а), с ненасыщенным транзистором  $T_2$  (б), с уменьшенной потребляемой мощностью (в).

рог переключения и помехоустойчивость  $\Delta U_{\text{н}}^{\text{н}}$  схемы на величину  $U_{\text{зо}}$ , т. е. до уровня схем ДТЛ. Однако быстродействие схемы ТТЛ-2 значительно ниже, чем быстродействие схемы ТТЛ-1, по тем же причинам, что и для схемы ТТЛ-1д. Кроме того, схема потребляет повышенную мощность вследствие протекания коллекторного тока транзистора  $T_2$  при низком потенциале на выходе. По своим характеристикам схема ТТЛ-2 весьма близка к схеме ДТЛ (рис. 1.30), широко используемой на практике.

В схеме, показанной на рис. 1.29,а, транзистор  $T_2$  не

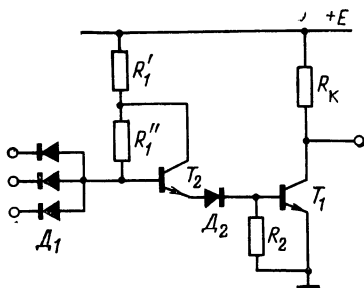


Рис. 1.30. Схема ДТЛ с двухкаскадным инвертором.

насыщается, в то время как в схеме на рис. 1.29,б транзистор  $T_2$  при высоком потенциале на всех входах оказывается в насыщении. Однако быстродействие этих схем практически одинаково, так как задержка выключения определяется, главным образом, рассасыванием избыточного заряда в выходном транзисторе  $T_1$ , который в обеих схемах работает в режиме насыщения.

В схеме, показанной на рис. 1.29,в [50], благодаря включению резистора  $R_K$  достигается уменьшение мощности, потребляемой схемой при низком напряжении на выходе, на величину  $\Delta P = E^2/R_K$ . Однако значение высокого напряжения  $U^1_{\text{вых}}$  в этой схеме на величину  $U_{\text{до}}$  ниже, чем в описанных выше схемах ТТЛ-1, ТТЛ-2.

Повысить быстродействие схем ТТЛ-2 можно уменьшением задержки включения с помощью дополнительного транзистора или диода\* (рис. 1.31). В процессе

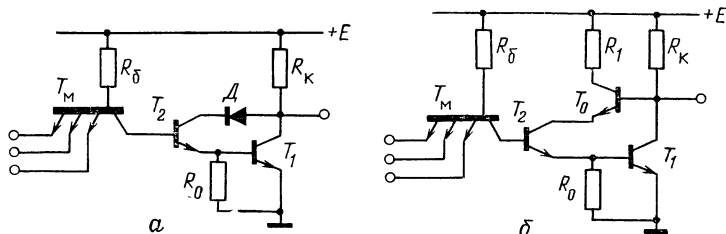


Рис. 1.31. Схемы с дополнительным диодом ТТЛ-2д (а) и дополнительным транзистором ТТЛ-2т (б).

включения схемы, когда напряжение на входе повысится от  $U^0$  до  $U^1$ , сначала открывается транзистор  $T_2$ . Так как при этом напряжение на выходе еще имеет высокое значение  $U^1$ , то открывается диод  $Д$  (рис. 1.31,а). Через него течет ток, вызывающий понижение напряжения на выходе еще до отпирания транзистора  $T_1$ . В результате задержка включения схемы уменьшается. Когда напряжение на выходе становится меньше, чем  $U_{\text{зо}} + U_{\text{до}}$ , диод запирается, а транзистор  $T_2$  действует как диод Э—Б (с отключенным коллектором).

В схеме ТТЛ-2т (рис. 1.31,б) при включении после отпирания  $T_2$  открывается транзистор  $T_0$ , являющийся нагрузкой транзистора  $T_2$ . Так как выходное сопротивление транзистора  $T_0$  уменьшается, то ток транзистора  $T_2$  быстро возрастает и ускоряет заряд паразитных емкостей на базе транзистора  $T_1$ . В результате задержка отпирания транзистора  $T_2$  и соответственно задержка включения  $t_3^{10}$  оказываются меньше, чем в схеме ТТЛ-2. После отпирания транзистора  $T_1$  выходное напряжение уменьшается до  $U^0_{\text{вых}}$  и транзистор  $T_0$  запирается. При

\* Аналогичное включение диода или транзистора используется для уменьшения задержки включения схем ДТЛ [51].

этом схема работает как схема ТТЛ-1д, так как коллектор транзистора  $T_1$  отключается. Потребляемая мощность и коэффициент разветвления на выходе для схем ТТЛ-2д, ТТЛ-2г такие же, как для схемы ТТЛ-1д.

Другой способ повышения быстродействия схемы ТТЛ-2 состоит в уменьшении задержки выключения, связанной с рассасыванием избыточного заряда в насыщенных транзисторах.

На рис. 1.32,а показана схема ТТЛ-2н с ненасыщенным выходным транзистором. Для предотвращения насыщения транзистора  $T_1$  используется нелинейная обрат-

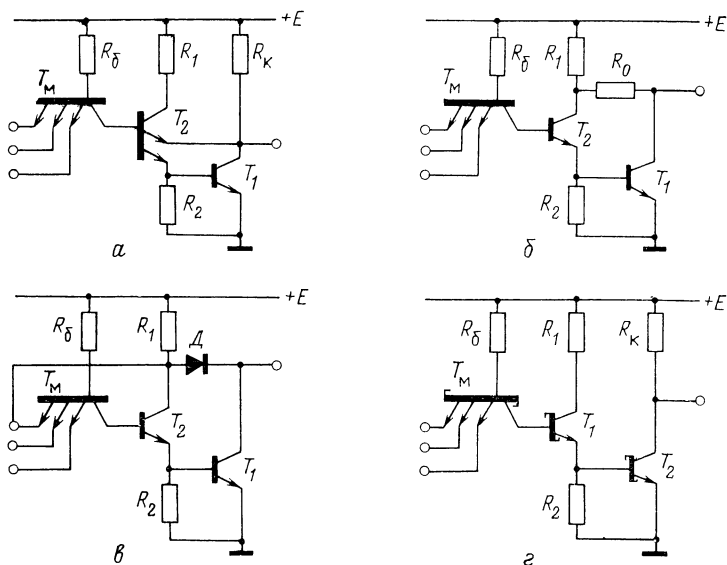


Рис. 1.32. Схемы ТТЛ-2н с ненасыщенным транзистором  $T_1$  (а), ТТЛ-2р с регулируемой степенью насыщения транзистора  $T_1$  (б), ТТЛ-2ос с ненасыщенными транзисторами  $T_1$  и  $T_2$  (в), ТТЛ-2тш с транзисторами Шоттки (г).

ная связь. Она создается включением двухэмиттерного транзистора  $T_2$ , один из эмиттеров которого ( $\mathcal{E}_2$ ) подключен к коллектору транзистора  $T_1$  [52]. Когда потенциал на эмиттере  $\mathcal{E}_2$  (коллекторе  $T_1$ ) оказывается ниже, чем на эмиттере  $\mathcal{E}_1$  (базе  $T_1$ ),  $U_{\mathcal{E}2} = U_{\text{вых}} \leq U_{\mathcal{E}1} = U_{\mathcal{E}0}$ , эмиттерный ток транзистора  $T_2$  переключается из эмиттера  $\mathcal{E}_1$  в эмиттер  $\mathcal{E}_2$  и далее поступает в коллектор  $T_1$ . В результате транзистор  $T_1$  поддерживается на границе

насыщения и исключается задержка  $t_{\text{рп}}$ , связанная с рассасыванием избыточного заряда в  $T_1$ .

Низкое напряжение  $U_{\text{вых}}^0$  на выходе схемы ТТЛ-2н равно напряжению  $U_{\text{кз}}$  транзистора  $T_1$  на границе насыщения:  $U_{\text{вых}}^0 = 0,5 \dots 0,6$  В при  $T = 20^\circ\text{C}$ , что существенно выше, чем для схем с насыщенным выходным транзистором. В результате помехоустойчивость  $\Delta U_{\text{п}}^+$  схемы меньше, чем для схем ТТЛ-1д (рис. 1.26,а), ТТЛ-2, ДТЛ, но больше, чем для схемы ТТЛ-1.

В схеме ТТЛ-2р, показанной на рис. 1.32,б, можно получать различную степень насыщения выходного транзистора, изменяя сопротивление  $R_0$  [50]. При больших сопротивлениях  $R_0$  транзистор  $T_1$  работает с высокой степенью насыщения, обеспечивая низкие значения  $U_{\text{вых}}^0 = U_{\text{кн}}$ , как в обычной схеме ТТЛ-2 (рис. 1.29). При малых сопротивлениях  $R_0$  транзистор  $T_1$  работает в ненасыщенном режиме (на границе насыщения), т. е. задержка, связанная с рассасыванием избыточного заряда в  $T_1$  исключается. Однако при этом значительно возрастает величина  $U_{\text{вых}}^0 \approx U_{\text{эо}} + U_{\text{кн1}}$ . Выбирая сопротивление  $R_0$ , можно уменьшить задержку выключения при приемлемых значениях напряжения  $U_{\text{вых}}^0$ .

На рис. 1.32,в представлена схема ТТЛ-2ос, в которой транзисторы  $T_1$  и  $T_2$  работают в ненасыщенном режиме, благодаря нелинейной обратной связи от одного из эмиттеров транзистора  $T_{\text{м}}$  к коллектору  $T_1$  [50]. При высоком потенциале на всех входах на коллекторе  $T_1$  поддерживается напряжение  $U_{\text{к1}} = 2U_{\text{эо}} - U_{\text{кнм}}$ , и транзисторы  $T_1$  и  $T_2$  работают на границе насыщения. Задержка выключения схемы меньше, чем у схемы ТТЛ-2, так как транзистор  $T_1$  не насыщен, однако выходное напряжение  $U_{\text{вых}}^0$  оказывается высоким:  $U_{\text{вых}}^0 \approx (2U_{\text{эо}} - U_{\text{до}} - U_{\text{кнм}})$ .

Уменьшение задержки выключения достигается также при использовании транзисторов Шоттки (схема ТТЛ-2тш, рис. 1.32,г). При этом напряжение  $U_{\text{вых}}^0$  приблизительно на 0,2 В ниже, а помехоустойчивость выше, чем в схеме ТТЛ-2н.

Транзисторы интегральных схем, изготовленных по технологии изолирующей диффузии коллектора, имеют повышенные значения инверсного коэффициента усиления  $B_I$  и пониженные напряжения коллектор—эмиттер в режиме насыщения. В работах [29—33] описаны модифицированные схемы ТТЛ, в которых указанные особен-

ности транзисторов используются для улучшения их характеристик.

На рис. 1.33,а показана схема ТТЛ-1м, в которой повышенное значение инверсного коэффициента усиления выходного транзистора используется для увеличения бы-

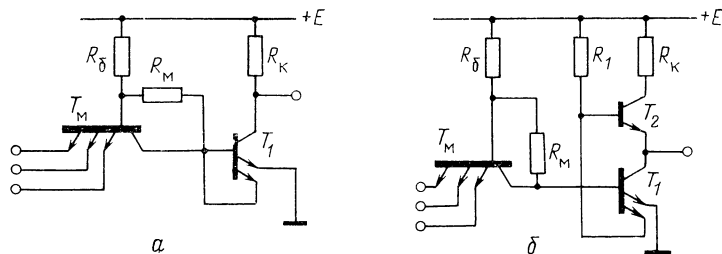


Рис. 1.33. Схемы ТТЛ-1м (а) и ТТЛ-1с (б), изготавливаемые по технологии изолирующей диффузии коллектора.

стродействия. Транзистор  $T_1$  имеет два эмиттера, один из которых ( $\mathcal{E}_2$ ) подключен к его базовой цепи. Этот эмиттерный переход всегда заперт, и при насыщенном транзисторе  $T_1$  через него протекает ток  $I_{\mathcal{E}_2}$ , отвечающий из базовой цепи транзистора  $T_1$

$$I_{\mathcal{E}_2} = B_{I2} I_{\mathcal{E}1} (1 - 1/S_1), \quad (1.44)$$

где  $B_{I2}$  — инверсный коэффициент усиления  $T_1$  по эмиттеру  $\mathcal{E}_2$ . Таким образом, ток базы транзистора  $T_1$  уменьшается на величину  $I_{\mathcal{E}_2}$ , т. е. снижается степень насыщения  $S_1$ . Избыточный заряд, накопленный в насыщенном транзисторе  $T_1$ , уменьшается в  $1 + B_{I2}$  раз, в результате чего сокращается время его рассасывания.

На рис. 1.33,б показана схема ТТЛ-1с, в которой в качестве выходного каскада используется сложный ключ из двух транзисторов. Транзистор  $T_1$  имеет два эмиттера, один из которых подключен к базе транзистора  $T_2$ . При высоком напряжении на всех входах схемы, когда транзистор  $T_1$  насыщен, в его эмиттер  $\mathcal{E}_2$  втекает ток  $I_{\mathcal{E}_2}$ , величина которого определяется выражением (1.44). Так как транзисторы имеют большие значения коэффициента  $B_I$ , то величина тока  $I_{\mathcal{E}_2}$  значительна. Сопротивление  $R_1$  выбирается таким образом, чтобы транзистор  $T_2$  при этом был закрыт:  $I_{\mathcal{E}_2} R_1 \geq (E - U_{\mathcal{E}3})$ . Тем самым обеспечивается пониженное значение напряжения  $U_{\text{вых}}^0$  на выходе схемы. При низком напряжении на входе схемы

транзистор  $T_1$  закрыт, а транзистор  $T_2$  открыт. На выходе схемы поддерживается высокое напряжение

$$U_{\text{вых}}^1 = E - U_{\text{зо}} - I_{\text{H}}^1 R_1 / (B_2 + 1), \quad (1.45)$$

причем его величина значительно слабее зависит от тока нагрузки, чем в схемах с простым выходным каскадом: ТТЛ-1, ТТЛ-2 (рис. 1.26). По сравнению с ними схема ТТЛ-1с имеет более высокий коэффициент разветвления на выходе. Кроме того, эта схема обеспечивает более высокое быстродействие при работе на емкостную нагрузку, так как имеет малое выходное сопротивление как при низком, так и при высоком напряжении на выходе.

При высоких значениях коэффициента  $B'_I$  многоэмиттерного транзистора ухудшается ряд параметров схем: увеличиваются входные токи, снижается нагрузочная способность. Чтобы исключить нежелательные эффекты, вызванные повышенными значениями  $B'_I$ , в схемах ТТЛ-1м и ТТЛ-1с коллекторный переход  $T_M$  шунтирован резистором  $R_M$ . Сопротивление  $R_M$  выбирается таким, чтобы коллекторный переход был закрыт как при низком, так и при высоком напряжениях на входах. Падение напряжения на сопротивлении  $R_M$  должно удовлетворять условиям

$$U_{R_M}^0 = \frac{B'}{B' + 1} \frac{E - U'_{\text{зо}} - U_{\text{вх}}^0}{R_6} R_M \leq U'_{\text{кз}}, \quad (1.46)$$

$$U_{R_M}^1 = [(E - U_{\text{зо}}) / (R_6 + R_M)] R_M \leq U'_{\text{кз}}. \quad (1.47)$$

При выполнении этих условий входные токи  $I_{\text{вх}}^1$  малы, что эквивалентно уменьшению коэффициента  $B'_I$ .

Одновременно необходимо также обеспечить запирающие транзистора  $T_1$  при низком напряжении  $U_{\text{вх}}^0$  хотя бы на одном из входов схемы:

$$U_{61} = U_{\text{вх}}^0 + U'_{\text{зо}} - U_{R_M}^0 < U_{\text{эз}} \quad (1.48)$$

Условия (1.47) и (1.48), ограничивая допустимую величину  $R_M$  сверху и снизу, достаточно жестко определяют выбор сопротивления  $R_M$ .

Так как трудно обеспечить выполнение условий (1.47), (1.48) в широком диапазоне температур и напряжений питания, то в [33] предложено диодное включение дополнительного транзистора  $T_0$  (рис. 1.34). Он служит для температурной компенсации и позволяет получить низкие значения входных токов  $I_{\text{вх}}^1$  в широком



температурном диапазоне. При этом транзисторы  $T_0$ ,  $T_M$  и резисторы  $r'_6$ ,  $R_M$ , располагаются в единой изолированной области. Отношения сопротивлений выбираются следующие:  $r'_6/R_6 \approx 0,1$ ,  $r'_6/R_M \approx 0,20 \dots 0,25$ .

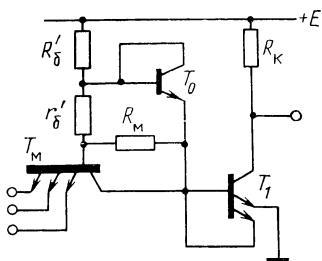


Рис. 1.34. Схема ТТЛ-1м с температурно-компенсирующим диодом.

Таким образом, модифицированные схемы, показанные на рис. 1.33, по ряду параметров превосходят схемы ТТЛ-1, ТТЛ-2. Однако их помехоустойчивость остается такой же низкой, как и в схеме ТТЛ-1.

Простейшие схемы, рассмотренные выше, не обеспечивают высоких показателей по всем основным параметрам. Однако в последнее время интерес к ним возрос в

связи с разработкой схем высокой степени интеграции, так называемых больших интегральных схем (БИС) [53]. Во внутренней структуре БИС уровень электрических помех существенно снижен, емкостная связь логических схем уменьшена, и количество схем-нагрузок относительно невелико. Таким образом, требования к параметрам логических схем, используемых во внутренней структуре БИС, оказываются пониженными, и в ряде случаев их могут вполне удовлетворить простейшие схемы, которые занимают относительно малую площадь на полупроводниковом кристалле. Поэтому данные схемы находят применение во внутренней структуре БИС.

## Глава 2

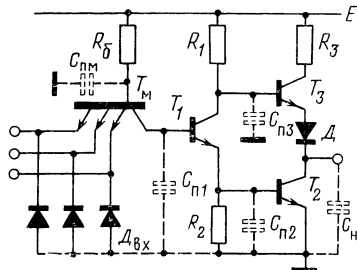
### ОСНОВНОЙ ВАРИАНТ СХЕМЫ И—НЕ ТТЛ

#### 2.1. СТАТИЧЕСКИЕ ХАРАКТЕРИСТИКИ И ПАРАМЕТРЫ

Основная, наиболее распространенная схема И—НЕ представлена на рис. 2.1. В ней используется сложный инвертор, построенный на трех транзисторах.

При низком напряжении  $U^0$  хотя бы на одном из входов схемы соответствующий эмиттерный переход многоэмиттерного транзистора  $T_M$  открыт. Коллекторный переход  $T_M$  также открыт, и на базе транзистора  $T_1$  под-держивается низкое напряжение, недостаточное для его

Рис. 2.1. Схема И—НЕ ТТЛ-3 (пунктиром показаны паразитные емкости, учитываемые при анализе переходных процессов).



отпирания. Транзисторы  $T_1$  и  $T_2$  закрыты, транзистор  $T_3$  и диод  $D$  открыты и обеспечивают на выходе высокое напряжение  $U^1$ .

При высоком напряжении  $U^1$  на всех входах схемы эмиттерные переходы  $T_M$  закрыты, и ток через коллекторный переход  $T_M$  поступает в базу транзистора  $T_1$ . Транзисторы  $T_1$  и  $T_2$  находятся в режиме насыщения, и на выходе схемы устанавливается низкое напряжение  $U^0$ . Транзистор  $T_3$  и диод при этом закрыты, так как разность потенциалов между коллекторами  $T_1$  и  $T_2$  недостаточна для отпирания цепи  $T_3$ — $D$ . Таким образом, при положительной логике данная схема выполняет логическую операцию И—НЕ.

Преимущества схемы по сравнению с описанными выше схемами ТТЛ-1, ТТЛ-2 и их модификациями достигаются благодаря использованию сложного выходного каскада (транзисторы  $T_2$  и  $T_3$ ). При включении схемы, когда выходное напряжение изменяется от  $U^1$  до  $U^0$ , транзистор  $T_3$  закрывается, а транзистор  $T_2$  открывается и работает в активном режиме (рис. 2.2,а). Коллекторный ток транзистора  $T_2$  обеспечивает быстрый разряд присоединенных к выходу схемы паразитных емкостей и емкости нагрузки  $C_H$ , благодаря чему фронт спада выходного импульса получается коротким. При выключении схемы, когда выходное напряжение изменяется от  $U^0$  до  $U^1$ , транзистор  $T_2$  закрывается, а транзистор  $T_3$  открывается и работает в активном режиме (рис. 2.2,б). Эмиттерный ток транзистора  $T_3$  обеспечи-

вает быстрый заряд емкостей на выходе схемы, и фронт нарастания выходного импульса оказывается коротким. Таким образом, сложный выходной каскад обеспечивает малые времена фронтов выходного импульса при значительных емкостях нагрузки.

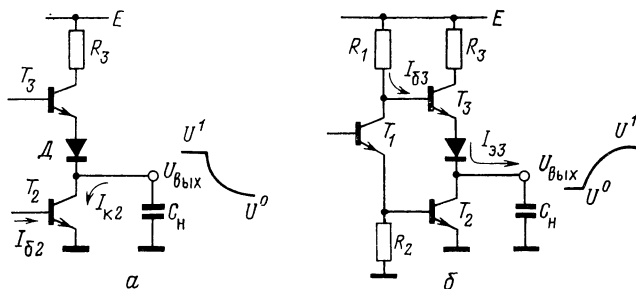


Рис. 2.2. Цепи заряда и разряда емкости при включении (а) и при выключении (б) схемы со сложным инвертором.

Транзистор  $T_1$  с резисторами  $R_1$  и  $R_2$  играет роль фазорасщепляющего каскада и обеспечивает парафазный сигнал для управления транзисторами  $T_2$  и  $T_3$ . Транзистор  $T_1$  увеличивает порог переключения схемы (аналогично диоду в схеме ТТЛ-2) и, соответственно, повышает помехоустойчивость по сравнению со схемой ТТЛ-1.

Резистор  $R_3$  ограничивает ток в выходном каскаде во время выключения схемы, когда транзистор  $T_2$  еще находится в режиме насыщения, а транзистор  $T_3$  уже открылся. При уменьшении сопротивления  $R_3$  уменьшается время выключения схемы, так как транзистор  $T_3$  выводится из режима насыщения большим коллекторным током, протекающим через резистор  $R_3$ . Однако возрастает мощность, потребляемая схемой при высоких частотах переключения (динамическая мощность). Сопротивление  $R_3$  невелико ( $R_3 \ll R_6, R_1, R_2$ ) и составляет несколько десятков ом для быстродействующих схем и несколько сотен ом для маломощных схем.

В быстродействующих схемах включают дополнительные диоды  $D_{\text{вх}}$  (рис. 2.1), которые ограничивают максимальную амплитуду отрицательных помех на входе.

**Типовая передаточная характеристика**  $U_{\text{вых}} = f(U_{\text{вх}})$  схемы представлена на рис. 2.3, а. На рис. 2.3, б показано, как изменяются при возрастании  $U_{\text{вх}}$  напряжения в различных узлах схемы:  $U_{\text{бм}}$  — на базе  $T_{\text{м}}$ ,  $U_{\text{б1}}$  — на ба-

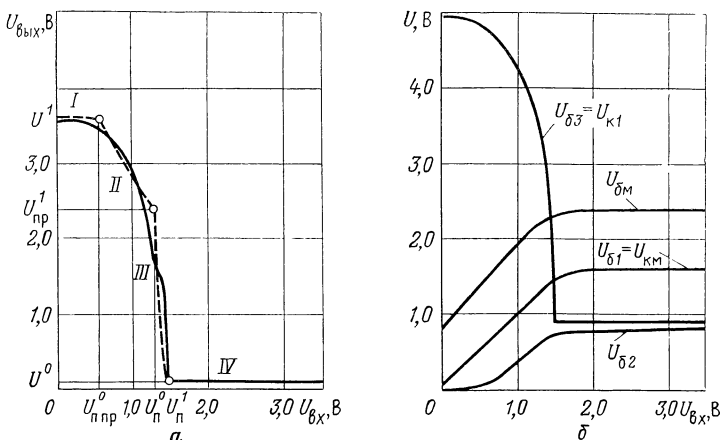


Рис. 2.3. Типовая передаточная характеристика схемы ТТЛ-3 и ее кусочно-линейная аппроксимация (а), зависимости напряжений в узлах схемы от  $U_{вх}$  (б) при  $E=5$  В,  $T=20^\circ\text{C}$  и  $n=1$ .

зе  $T_1$  (коллекторе  $T_M$ ),  $U_{б2}$  — на базе  $T_2$  (эмиттере  $T_1$ ),  $U_{б3}$  — на базе  $T_3$  (коллекторе  $T_1$ ).

Когда на  $m$  входов схемы ( $1 \leq m \leq M$ ) подано низкое напряжение  $U_{вх\,m} < U_{п\,пр}^0$ , а на остальные  $(M-m)$  входов — высокое напряжение  $U_{вх\,(M-m)} > U_{п}^1$ , то  $m$  эмиттеров входного транзистора  $T_M$  находятся в открытом состоянии и напряжение на его базе равно

$$U_{бМ} = [(U_{вх\,m} + U'_{э0})R_6 + Er'_6] / (R_6 + r'_6), \quad (2.1a)$$

или, так как  $r'_6 \ll R_6$ ,

$$U_{бМ} \approx U_{вх\,m} + U'_{э0}. \quad (2.1б)$$

Коллекторный переход  $T_M$  открыт, напряжение на базе  $T_1$  равно

$$U_{б1} = U_{вх\,m} + U'_{кэ0}. \quad (2.2)$$

Транзистор  $T_1$  остается закрытым, пока напряжение  $U_{б1}$  не достигнет напряжения отпирания  $U_{эз}$ , т. е. пока величина  $U_{вх\,m}$  не возрастет до значения

$$U_{вх\,m} = U_{п\,пр}^0 = U_{эз} - U'_{кэ0}, \quad (2.3)$$

соответствующего промежуточному порогу включения схемы.

Таким образом, при  $U_{вх\,m} < U_{п\,пр}^0$  транзистор  $T_1$  закрыт, поэтому напряжение  $U_{б2}$  равно нулю, и транзистор

$T_2$  также закрыт. Напряжение на базе транзистора  $T_2$  близко к напряжению источника питания  $E$ , поэтому транзистор  $T_3$  и диод  $D$  открыты. На коллекторе транзистора  $T_1$  (базе  $T_3$ ) и на выходе схемы устанавливаются высокие напряжения (участок  $I$  передаточной характеристики на рис. 2.3,а):

$$U_{K1} = E - I_{63}R_1 \approx E, \quad (2.4)$$

$$U_{\text{вых}} = U_{\text{вых}}^1 = U_{K1} - U_{\text{эо}} - U_{\text{до}} \approx E - U_{\text{эо}} - U_{\text{до}}, \quad (2.5)$$

где приближенные выражения соответствуют типичному случаю, когда ток нагрузки  $I_{\text{н}}$  не слишком велик:  $I_{\text{н}} = I_{63}(B_3 + 1) \ll (U_{\text{эо}}/B_3R_1)$ ,  $(U_{\text{до}}/B_3R_1)$ .

При увеличении входного напряжения  $U_{\text{вх } m}$  значения  $U_{\text{бм}}$ ,  $U_{\text{б1}}$  возрастают (рис. 2.3,б) в соответствии с выражениями (2.1), (2.2) и при  $U_{\text{вх } m} = U_{\text{п}}^0$  пр транзистор  $T_1$  открывается. Эмиттерный ток  $T_1$  создает падение напряжения на резисторе  $R_2$ , и напряжение  $U_{\text{б2}}$  повышается (рис. 2.3,б). Коллекторный ток  $T_1$  создает дополнительное падение напряжения на резисторе  $R_1$ , поэтому значения  $U_{K1}$  (рис. 2.3,б) и  $U_{\text{вых}}$  (участок  $II$  на рис. 2.3,а) уменьшаются с ростом тока  $I_{K1}$  на величину

$$I_{K1}R_1 = I_{\text{э1}}R_1B_1/(B_1 + 1) \approx I_{\text{э1}}R_1. \quad (2.6)$$

Когда напряжение  $U_{\text{вх } m}$  возрастает до величины

$$U_{\text{вх } m} = U_{\text{п}}^0 = U_{\text{эо}} + U_{\text{э3}} - U_{\text{кнм}}, \quad (2.7)$$

напряжение на базе  $T_2$  достигает значения  $U_{\text{б2}} = U_{\text{э3}}$  и транзистор  $T_2$  отпирается. При этом эмиттерный ток  $T_1$  равен  $I_{\text{э1}} = U_{\text{э3}}/R_2$ , т. е. в соответствии с (2.6) значения  $U_{K1}$  и  $U_{\text{вых}}$  уменьшились на величину

$$\Delta U_{K1} = \Delta U_{\text{вых}}^1 = U_{\text{э3}}(R_1/R_2)B_1/(B_1 + 1) \approx U_{\text{э3}}R_1/R_2.$$

Таким образом, величина  $U_{\text{вых}}$  достигает при  $U_{\text{вх } m} = U_{\text{п}}^0$  промежуточного уровня:

$$U_{\text{п}}^1 = U^1 - \Delta U_{\text{вых}}^1 \approx E - U_{\text{эо}} - U_{\text{до}} - U_{\text{э3}}R_1/R_2. \quad (2.8)$$

При дальнейшем возрастании напряжения  $U_{\text{вх } m}$  базовые и коллекторные токи транзисторов  $T_1$  и  $T_2$  увеличиваются и напряжения  $U_{K1}$  (рис. 2.3,б),  $U_{\text{вых}}$  (участок  $III$  на рис. 2.3,а) резко падают. Когда  $U_{\text{вх } m}$  достигает значения

$$U_{\text{вх } m} = U_{\text{п}}^1 = 2U_{\text{эо}} - U_{\text{кнм}}, \quad (2.9)$$

транзисторы  $T_1$  и  $T_2$  входят в насыщение и на выходе схемы устанавливается низкое напряжение (участок IV на рис. 2.3,а)

$$U_{\text{вых}} = U_{\text{вых}}^0 = U_{\text{кн2}}. \quad (2.10)$$

На коллекторе  $T_1$  устанавливается напряжение (рис. 2.3,б)

$$U_{\text{к1}} = U_{\text{э0}} + U_{\text{кн1}} = U_{\text{э0}} + (U_{\text{кн0}} + I_{\text{кн1}} r_{\text{к1}}), \quad (2.11)$$

величина которого недостаточна для отпирания транзистора  $T_3$  и диода

$$U_{\text{к1}} < U_{\text{э3}} + U_{\text{дз}} + U^0. \quad (2.12)$$

Диод включается в выходную цепь для того, чтобы обеспечить запирающее напряжение транзистора  $T_3$  при низком напряжении  $U_{\text{вых}}^0$  на выходе. В противном случае эмиттерный ток транзистора  $T_3$  вызвал бы повышение значения  $U_{\text{вых}}^0$  и увеличение потребляемой мощности.

Для насыщения транзисторов  $T_1$  и  $T_2$  необходимо

$$S = BI_{\text{бн}}/I_{\text{кн}} \geq S_{\text{мин}}, \quad (2.13)$$

где минимально допустимая степень насыщения  $S_{\text{мин}}$  выбирается равной 1,2—1,3, чтобы величины  $U_{\text{кн1}}$ ,  $U_{\text{кн2}}$  были малыми.

Токи насыщенных транзисторов  $T_1$  и  $T_2$  равны

$$I_{\text{бн1}} = I_{\text{км}} = (1 + B'_1 M) (E - U_{\text{ко}} - 2U_{\text{э0}})/R_6, \quad (2.14)$$

$$I_{\text{кн1}} = (E - U_{\text{э0}} - U_{\text{кн1}})/R_1, \quad (2.15)$$

$$I_{\text{бн2}} = (I_{\text{бн1}} + I_{\text{кн1}}) - U_{\text{э0}}/R_2, \quad (2.16)$$

$$I_{\text{кн2}} = I_{\text{н}}^0. \quad (2.17)$$

При входном потенциале  $U_{\text{вх м}} = 2U_{\text{э0}} + U'_{\text{ко}} - U_{\text{э3}}$  эмиттерные переходы транзистора  $T_{\text{м}}$  запираются и он поступает в активный инверсный режим. Дальнейшее увеличение  $U_{\text{вх м}}$  приводит к возрастанию запирающих напряжений на соответствующих эмиттерных переходах  $T_{\text{м}}$  и не вызывает существенных изменений токов или напряжений в схеме (рис. 2.3,а, б) до наступления пробоя эмиттерных переходов при  $U_{\text{вх м}} \geq U'_{\text{прз}} + 2U_{\text{э0}} + U'_{\text{ко}}$ . Значения  $U_{\text{вх м}}$ , при которых происходит пробой, обычно превышают величину  $E$  и при нормальном режиме работы схемы не достигаются.

Промежуточный пологий участок II на передаточной характеристике (рис. 2.3,а) является особенностью схем

ТТЛ и ДТЛ со сложным инвертором. В логических схемах с простым инвертором этот участок отсутствует. Промежуточный участок снижает помехоустойчивость, поэтому его следует устранять, уменьшая величину  $\Delta U^1_{\text{вых}} = U^1 - U^1_{\text{пр}}$ . Такие схемы ТТЛ со сложным инвертором описаны в гл. 3. В схеме ТТЛ-3 значение  $\Delta U^1_{\text{вых}} = 0,5 \dots 1,5$  В, поэтому, как показано ниже в этом разделе, необходимо учитывать влияние участка *II* на помехоустойчивость схемы.

Таким образом, на передаточной характеристике имеется пять характерных точек  $(U^0, U^1)$ ,  $(U^0_{\text{пр}}, U^1)$ ,  $(U^0_{\text{п}}, U^1_{\text{пр}})$ ,  $(U^1_{\text{п}}, U^0)$ ,  $(U^1, U^0)$ , с помощью которых можно построить кусочно-линейную аппроксимацию (рис. 2.3,а). Полученные аналитические выражения определяют зависимость координат этих точек  $(U^0, U^1, U_{\text{пр}}, U^0_{\text{пр}}, U^0_{\text{п}}, U^1_{\text{п}})$  от параметров элементов схемы. Из этих выражений следует, что изменение напряжения питания  $E$  вызывает аналогичное изменение величин  $U^1$  и  $U^1_{\text{пр}}$ . Величины  $U^0$ ,  $U^0_{\text{пр}}$ ,  $U^0_{\text{п}}$ ,  $U^1_{\text{п}}$  от напряжения питания практически не зависят. Измерение передаточных характеристик подтверждает этот вывод (рис. 2.4,а).

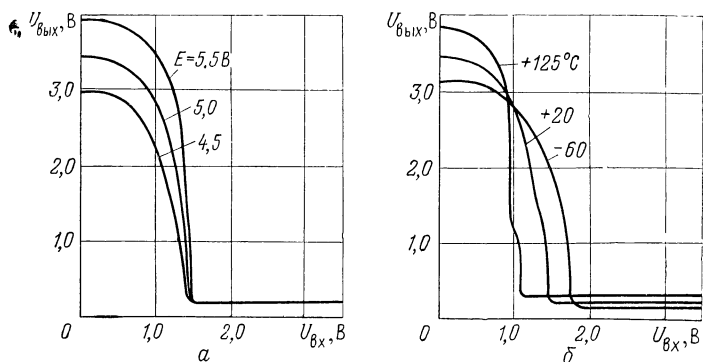


Рис. 2.4. Передаточные характеристики схемы при  $T=20^\circ\text{C}$ ,  $n=10$  и при различных напряжениях питания (а), при  $E=5 \text{ В}$ ,  $n=10$  и различной рабочей температуре (б).

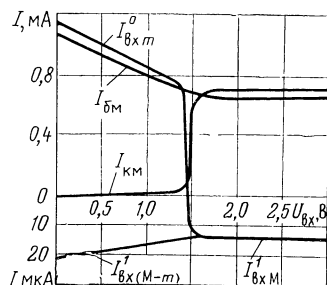
При нормальной температуре и номинальном напряжении питания  $E=5 \text{ В}$  типовые значения параметров составляют:

$$U^0 \leq 0,3 \text{ В}, \quad U^1 = 3,4 \dots 3,8 \text{ В}, \quad U^1_{\text{пр}} = 2,5 \dots 2,9 \text{ В}, \quad U^1_{\text{п}} = 1,4 \dots 1,6 \text{ В}, \quad U^0_{\text{п}} = 1,2 \dots 1,4 \text{ В}, \quad U^0_{\text{пр}} = 0,4 \dots 0,6 \text{ В}.$$

Зная температурные зависимости параметров элементов, нетрудно с помощью выражений (2.3)—(2.10) определить изменение передаточной характеристики в диапазоне температур. Так как зависимость  $U'_{\text{кн}} = f(T)$  относительно слабая, то при уменьшении температуры пороги переключения  $U^0_{\text{п пр}}$ ,  $U^0_{\text{п}}$  будут увеличиваться с коэффициентом  $2\theta_U \approx -4 \text{ мВ/}^\circ\text{С}$  вследствие возрастания  $U_{\text{эо}}$ . Значения  $U^1$  и  $U^1_{\text{пр}}$  при уменьшении температуры понижаются, а значение  $U^0$  изменяется мало (несколько уменьшается). Температурные изменения передаточной характеристики показаны на рис. 2.4, б.

**Типовая входная характеристика**  $I_{\text{вх}} = I_{\text{эм}} = f(U_{\text{вх}})$  схемы показана на рис. 2.5. На этом же рисунке приве-

Рис. 2.5. Типовая входная характеристика схемы со средним быстродействием ( $E = 5 \text{ В}$ ,  $R_6 = 4 \text{ кОм}$ ,  $M = 4$ ,  $n = 1$ ,  $B'_I = 0,02$ ) и зависимости коллекторного и базового тока транзистора  $T_m$  от входного потенциала при  $T = 20^\circ\text{С}$ .



дены зависимости от  $U_{\text{вх}}$  базового  $I_{\text{бм}}$  и коллекторного  $I_{\text{км}}$  токов транзистора  $T_m$ . Ток, вытекающий из каждого входа, на который подано низкое напряжение  $U_{\text{вх} m} < U^0_{\text{п пр}}$ , равен

$$I^0_{\text{вх} m} = [(M - m) I^1_{\text{вх} (M-m)} + I_{\text{бм}}] / m, \quad (2.18)$$

а ток, втекающий в каждый из  $(M - m)$  входов, на которые подано высокое напряжение  $U_{\text{вх} (M-m)} > U^1_{\text{п}}$ :

$$I^1_{\text{вх} (M-m)} = B'_I I_{\text{бм}}. \quad (2.19a)$$

Так как ток базы  $T_m$  при  $U_{\text{вх} m} < U^0_{\text{п}}$  равен  $I_{\text{бм}} = (E - U'_{\text{эо}} - U_{\text{вх} m}) / (R_6 + r'_6)$ , то входные характеристики схемы определяются выражениями:

$$I^0_{\text{вх} m} = \frac{1 + (M - m) B'_I}{m} \frac{E - U'_{\text{эо}} - U_{\text{вх} m}}{R_6 + r'_6}, \quad (2.20)$$

$$I^1_{\text{вх} (M-m)} = B'_I (E - U'_{\text{эо}} - U_{\text{вх} m}) / (R_6 + r'_6). \quad (2.19б)$$



Типовые значения входного тока  $I_{\text{вх } m}^0$  составляют сотни микроампер для маломощных микросхем и единицы миллиампер для быстродействующих микросхем. Ток  $I_{\text{вх } m}^0$  слабо зависит от температуры, так как при ее повышении уменьшается  $U'_{\text{зо}}$ , и возрастает сопротивление  $R_6$ , и влияние этих факторов на величину  $I_{\text{вх } m}^0$  в значительной степени компенсируется.

Когда низкие напряжения на  $m$  входах не равны, ток между этими входами распределяется неравномерно. Через входы, на которые подано более низкое напряжение, вытекает большая часть общего тока  $I_{\text{м}} = [(M-m)I_{\text{вх } (M-m)} + I_{\text{бм}}]$ , втекающего в транзистор  $T_{\text{м}}$ . Если на одном из нескольких входов напряжение ниже, чем на остальных, на величину более  $(2...3)\varphi_{\text{т}}$ , то все остальные входы можно считать закрытыми, даже если на них подано напряжение меньше, чем  $U_{\text{п пр}}^0$ . Ток этих закрытых входов определяется выражением (2.19б), где  $U_{\text{вх } m}$  — минимальное из напряжений, поданных на входы схемы. Когда  $U_{\text{вх } m}$  превышает  $U_{\text{п пр}}^0$ , открывается транзистор  $T_1$ . Из коллектора  $T_{\text{м}}$  начинает вытекать ток  $I_{\text{км}} = I_{\text{б1}}$ , в результате чего входные токи  $I_{\text{вх } m}$  уменьшаются на величину  $I_{\text{км}}/m$ :  $I_{\text{км}} = I_{\text{б1}} = I_{\text{б1}}/B_1 + 1 = U_{\text{б2}}/R_2(B_1 + 1)$ , т. е. возрастает от 0 при  $U_{\text{вх } m} = U_{\text{п пр}}$  до  $U_{\text{зо}}/R_2(B_1 + 1)$  при  $U_{\text{вх } m} = U_{\text{п}}^0$ .

При  $U_{\text{вх } m} \leq U_{\text{п}}^0$  величина  $I_{\text{км}}$  значительно меньше, чем  $I_{\text{бм}}$  (рис. 2.5). Поэтому уменьшение тока  $I_{\text{вх } m}$  вследствие появления тока  $I_{\text{км}}$  невелико, и можно считать, что входная характеристика схемы определяется выражением (2.20) при  $U_{\text{вх } m} \leq U_{\text{п}}^0$ .

Когда  $U_{\text{вх } m}$  превышает  $U_{\text{п}}^0$ , соответствующие эмиттерные переходы начинают закрываться и входные токи  $I_{\text{вх } m}$  резко уменьшаются (рис. 2.5). При  $U_{\text{вх } m} \geq U_{\text{п}}^0$  все эмиттерные переходы транзистора  $T_{\text{м}}$  закрыты и ток каждого из  $M$  входов равен

$$I_{\text{вх } M}^1 = B_I' I_{\text{бм}} = B_I' (E - 2U_{\text{зо}} - U'_{\text{ко}})/R_6. \quad (2.21)$$

Для уменьшения входных токов  $I_{\text{вх } M}^1$ ,  $I_{\text{вх } (M-m)}^1$  величины  $B_I'$  делают малой ( $B_I' < 0,05$ ), выбирая структуру многоэмиттерного транзистора  $T_{\text{м}}$  (см. § 1.2). При этом существенную часть входного тока, особенно при максимальной рабочей температуре и повышенных значениях входных напряжений  $U_{\text{вх } M}$ ,  $U_{\text{вх } (M-m)} \approx E$ , могут составлять токи утечки между соответствующей входной цепью и цепями с низким потенциалом. В этом случае входные

токи  $I_{\text{вх}}$  являются суммой тока через эмиттерный переход  $T_m$ , определяемого выражением (2.19,а) или (2.19,б), и тока утечки  $I_{\text{вх ут}}$ . Типовые значения токов  $I_{\text{вх м}}$ ,  $I_{\text{вх (м-м)}}$  составляют единицы микроампер для мало-мощных микросхем и десятки микроампер для быстродействующих. При повышении температуры токи  $I_{\text{вх м}}$ ,  $I_{\text{вх (м-м)}}$  несколько увеличиваются вследствие возрастания коэффициента  $B'_I$  и появления токов утечки (при повышенных входных потенциалах).

Входное сопротивление, схемы при низком напряжении на входе ( $U_{\text{вх}} < U_{\text{п}}^0$ ) равно  $R_{\text{вх}}^0 \approx R_6$  и составляет единицы и десятки килоом. Входное сопротивление при высоком напряжении на входе ( $U_{\text{вх}} > U_{\text{п}}^1$ ) определяется сопротивлениями утечки и зависимостью от режима коэффициента  $B'_I$ . Величина  $R_{\text{вх}}^1$  составляет сотни и более килоом.

Типовые выходные характеристики  $U_{\text{вых}}^1 = f(I_{\text{п}}^1)$ ,  $U_{\text{вых}}^0 = f(I_{\text{п}}^0)$  показаны на рис. 2.6. При низком напря-

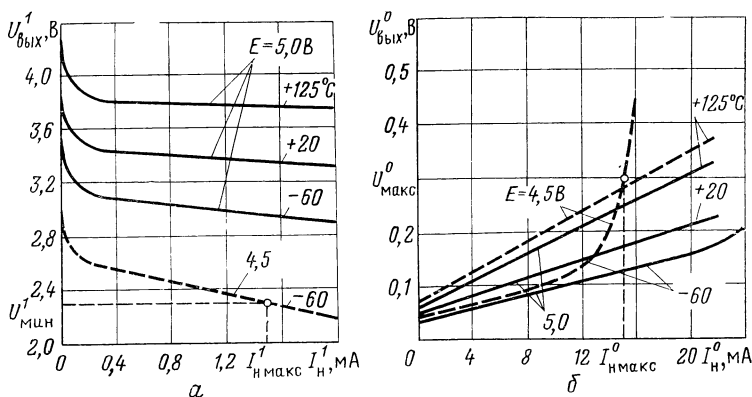


Рис. 2.6. Выходные характеристики  $U_{\text{вых}}^1 = f(I_{\text{п}}^1)$  (а) и  $U_{\text{вых}}^0 = f(I_{\text{п}}^0)$  (б) схемы со средним быстродействием:  
 ————— типовой случай, — — — — — наихудший случай.

жении  $U_{\text{вх}} = U^0$  хотя бы на одном из входов на выходе схемы устанавливается высокое напряжение  $U_{\text{вых}}^1$ , которое определяется выражением (2.5). Если схема не нагружена ( $I_{\text{п}} = 0$ ), то  $U_{\text{к1}} = E$ , диод  $D$  и эмиттерный переход транзистора  $T_3$  находятся на пороге запираения и

$$U_{\text{вых}}^1 = E - U_{\text{эз}} - U_{\text{дз}}. \quad (2.22a)$$

При увеличении тока нагрузки диод и транзистор  $T_3$  открываются, напряжения на коллекторе  $T_1$  и на выходе схемы уменьшаются:

$$U_{к1} = E - I_n R_1 / B_3 + 1, \quad (2.23)$$

$$\begin{aligned} U_{вых}^1 &= E - U_{э0} - U_{до} - I_n [(R_1 + r_{б3})(B_3 + 1) + r_d] \approx \\ &\approx E - 2U_{э0} - I_n R_1 / B_3 + 1. \end{aligned} \quad (2.22б)$$

При возрастании тока  $I_n = I_{э3} = I_d$  увеличивается коэффициент усиления транзистора  $T_3$ . Когда начинает выполняться условие  $R_1/R_3 < B_3$ , напряжение на коллекторном переходе транзистора  $T_3$  становится положительным  $U_{бк} = I_n (B_3 R_3 - R_1) / B_3 + 1 > 0$ , т. е. транзистор оказывается в режиме насыщения. Однако, пока

$$U_{бк} < U_{кз}, \quad (2.24)$$

степень насыщения транзистора весьма мала. При этом транзистор сохраняет свои усилительные свойства, хотя величина  $B_3$  несколько снижается по сравнению с ее значением в активном режиме. Поэтому выражение (2.22б) можно использовать во всем диапазоне токов нагрузки, когда выполняется условие (2.24). Типовые значения  $U_{вых}^1$  при нормальной температуре и  $E = 5,0$  В составляют:  $U_{вых}^1 = 3,8 \dots 4,2$  В, для ненагруженной микросхемы;  $U_{вых}^1 = 3,2 \dots 3,8$  В для нагруженной микросхемы.

При понижении температуры величина  $U_{вых}^1$  уменьшается в соответствии с выражениями (2.22а, б) вследствие увеличения  $U_{эз}$ ,  $U_{дз}$ ,  $U_{э0}$ ,  $U_{до}$  и уменьшения  $B_3$ . При  $T = -60^\circ\text{C}$   $U_{вых}^1$  уменьшается по сравнению со значением при нормальной температуре на  $0,4 \dots 0,6$  В.

При больших токах нагрузки, когда условие (2.24) нарушается, степень насыщения транзистора  $T_3$  увеличивается:  $S_3 \geq 2$ . В этом случае

$$U_{вых}^1 = E - \frac{U_{э0} R_3 + U_{кз3} R_1}{R_1 + R_3} - I_n \frac{R_1 R_3}{R_1 + R_3}. \quad (2.22в)$$

Обычно ток нагрузки  $I_n$  не очень велик, и для определения выходной характеристики  $U_{вых}^1 = f(I_n)$  можно использовать выражение (2.22б). Выходное сопротивление схемы при высоком напряжении  $U_{вых}^1$  на выходе в соответствии с выражениями (2.22б), (2.22в) равно

$$R_{вых}^1 = R_1 / (B_3 + 1) \text{ при выполнении условия (2.24),}$$

$$R_{вых}^1 = R_1 R_3 / (R_1 + R_3) \text{ при нарушении условия (2.24).}$$

Величина  $R_{вых}^1$  составляет десятки ом.

При высоком напряжении  $U_{\text{вх}} = U^1$  на всех входах на выходе схемы устанавливается низкое напряжение  $U^0_{\text{вых}}$ , величина которого определяется падением напряжения на открытом транзисторе  $T_2$ . Ток нагрузки  $I^0_{\text{н}}$  в этом случае является коллекторным током транзистора  $T_2$ , и выходная характеристика  $U^0_{\text{вых}} = U_{\text{кз2}} = f(I^0_{\text{н}} = I_{\text{к2}})$  есть коллекторная характеристика транзистора  $T_2$ . Базовый ток транзистора  $T_2$  при этом определяется выражением (2.16), и его можно считать постоянным, так как при изменении тока нагрузки  $I^0_{\text{н}}$  величина  $I_{\text{б2}}$  меняется незначительно.

Схемы обычно работают в условиях, когда выполняется неравенство (2.13), т. е. транзистор  $T_2$  находится в режиме насыщения. При этом выходную характеристику можно аппроксимировать прямой линией:

$$U^0_{\text{вых}} = U_{\text{кз2}} = U_{\text{кз0}} + I^0_{\text{н}} r_{\text{к2}}, \quad (2.25)$$

где величина  $U_{\text{кз0}}$  определяется выражением (1.11а) и зависит от степени насыщения  $S_2$ .

Типовое значение  $U^0_{\text{вых}}$  составляет при нормальной температуре 0,05...0,30 В. При повышении температуры возрастает величина  $r_{\text{к2}}$ , но уменьшается  $U_{\text{кз0}}$  вследствие увеличения степени насыщения  $S_2$ . Поэтому при малых токах нагрузки значение  $U^0_{\text{вых}}$  уменьшается при повышении температуры, а при больших токах нагрузки  $U^0_{\text{вых}}$  возрастает. Однако температурные изменения  $U^0_{\text{вых}}$  не превышают десятков милливольт (рис. 2.6).

Выходное сопротивление схемы при низком потенциале  $U^0_{\text{вых}}$  на выходе  $R^0_{\text{вых}} = r_{\text{к2}}$  и составляет 5...20 Ом.

**Помехоустойчивость.** Используя кусочно-линейную аппроксимацию передаточной характеристики, определяем статическую помехоустойчивость по методике, описанной в § 1.1.

При низком напряжении  $U^0$  на входе помехоустойчивость по отношению к входным помехам положительной полярности  $\Delta U^+_{\text{н}}$  определяется с помощью сдвига передаточной характеристики влево по оси  $U_{\text{вх}}$  до касания с обратной характеристикой в точке  $M$  (рис. 1.3). Аналитически величину  $\Delta U^+_{\text{н}}$  можно определить, используя выражения (2.3), (2.5), (2.7)—(2.10), определяющие координаты характерных точек передаточной характеристики (рис. 2.3,а).

Если

$$U_{\pi}^1 \leq U_{\pi \text{ пр}}^1, \quad (2.26a)$$

$$\text{то } \Delta U_{\pi}^+ = U_{\pi}^0 - U^0 \approx U_{\text{зо}} - U_{\text{эз}} - U_{\text{кн м}} - U^0. \quad (2.27a)$$

Если условие (2.26,а) не выполняется, то

$$\begin{aligned} \Delta U_{\pi}^+ &= \frac{U^1 - U_{\pi}^1}{U^1 - U_{\pi \text{ пр}}^1} (U_{\pi}^0 - U_{\pi \text{ пр}}^0) + (U_{\pi \text{ пр}}^0 - U^0) = \\ &= \frac{E + U'_{\text{кзо}} - 4U_{\text{зо}} - I_{\text{н}}^1 R_1 / (B_3 + 1)}{U_{\text{эз}} R_1 / R_2} U_{\text{зо}} + U_{\text{эз}} - U'_{\text{кзо}} - U^0. \end{aligned} \quad (2.27б)$$

С помощью выражений (2.8), (2.9) условие (2.26а) представляем в следующем виде:

$$E \geq 4U_{\text{зо}} + U_{\text{эз}} R_1 / R_2 + I_{\text{н}}^1 R_1 / (B_3 + 1) - U'_{\text{кзо}}. \quad (2.26б)$$

При высоком напряжении  $U^1$  на входе помехоустойчивость схемы по отношению к входным помехам отрицательной полярности  $\Delta U_{\pi}^-$  определяется с помощью сдвига обращенной характеристики вверх влево по оси  $U_{\text{вых}}$  до касания с передаточной характеристикой в точке  $N$  (рис. 1.3). Величина  $\Delta U_{\pi}^-$  определяется выражением

$$\Delta U_{\pi}^- = U^1 - U_{\pi}^1 \approx E - 4U_{\text{зо}} - U_{\text{кн м}} - I_{\text{н}}^1 R_1 / (B_3 + 1). \quad (2.28)$$

При нормальной температуре величина  $\Delta U_{\pi}^+ \approx 1$  В, а величина  $\Delta U_{\pi}^- = 1,6 \dots 2$  В при номинальном напряжении питания  $E = 5$  В. При повышении температуры до  $T_{\text{макс}} = 125^\circ\text{C}$  величина  $\Delta U_{\pi}^+$  уменьшается приблизительно до 0,6 В, а  $\Delta U_{\pi}^-$  возрастает до 2,5...3 В. В наихудшем случае при  $T_{\text{мин}} = -60^\circ\text{C}$ , минимальном напряжении питания  $E_{\text{мин}} = 4,5$  В, и максимально допустимом числе нагрузок  $n = N$  значения  $\Delta U_{\pi}^0$ ,  $\Delta U_{\pi}^1$  составляют 0,5...0,6 В.

Абсолютная помехоустойчивость схемы по отношению к входным помехам  $\Delta U_{\pi}$  определяется по сдвигу обращенной характеристики вправо вверх по линии единичного наклона  $U_{\text{вых}} = U_{\text{вх}}$  до тех пор, пока слева от зоны неопределенности не оказывается точек пересечения передаточной и обращенной характеристик (рис. 1.4). Если

$$U_{\pi \text{ пр}}^1 - U_{\pi}^1 \geq U_{\pi}^0 - U^0, \quad (2.29a)$$

то

$$\Delta U_{\pi} = U_{\pi}^0 - U^0 = \Delta U_{\pi}^+ \approx U_{\text{зо}} + U_{\text{эз}} - U_{\text{кн м}} - U^0, \quad (2.30a)$$

Если условие (2.29а) не выполняется, то

$$\Delta U_{\Pi} = \frac{(U^1 - U_{\Pi}^1) (U_{\Pi}^0 - U_{\Pi \text{ пр}}^0) + (U^1 - U_{\Pi \text{ пр}}^1) (U_{\Pi \text{ пр}}^0 - U^0)}{(U_{\Pi}^0 - U_{\Pi \text{ пр}}^0) + (U^1 - U_{\Pi \text{ пр}}^1)} \approx$$

$$\approx \frac{E - 4U_{\Sigma 0} - \frac{I_{\Pi}^1 R_1}{B_3 + 1} + U_{\Sigma 3} \frac{R_1}{R_2} \frac{U_{\Sigma 3} - U'_{\text{к} \Sigma 0} - U^0}{U_{\Sigma 0} + U'_{\text{к} \Sigma 0}}}{1 + \frac{R_1}{R_2} \frac{U_{\Sigma 3}}{U_{\Sigma 0} + U'_{\text{к} \Sigma 0}}} \quad (2.306)$$

Используя выражения (2.7) — (2.10), запишем условие (2.29а) в следующем виде:

$$E \geq 5U_{\Sigma 0} + U_{\Sigma 3} (1 + R_1/R_2) - U^0. \quad (2.296)$$

Типовое значение  $\Delta U_{\Pi} = 1$  В при нормальной температуре и около 0,6 В при  $T_{\text{макс}} = 125^\circ\text{C}$ . В наихудшем случае при  $T_{\text{мин}} = -60^\circ\text{C}$ ,  $E_{\text{мин}} = 4,5$  В и максимальном числе нагрузок  $n = N$  значение  $\Delta U_{\Pi}$  составляет 0,4... 0,5 В. Два выражения (2.27а, б) и (2.30а, б) для определения значений  $\Delta U_{\Pi}^+$  и  $\Delta U_{\Pi}$  получаются из-за промежуточного участка II на передаточной характеристике (рис. 2.3). Наличие этого участка приводит к снижению помехоустойчивости  $\Delta U_{\Pi}^+$  и  $\Delta U_{\Pi}$  при пониженных температуре и напряжении питания, когда не выполняются условия (2.26а, б), (2.29а, б). Из выражений (2.27б) и (2.30б) следует, что помехоустойчивость повышается при увеличении отношения  $R_1/R_2$ , т. е. при больших сопротивлениях  $R_2$ , когда  $U_{\Pi \text{ пр}}^1 \approx U^1$ . Однако возможности увеличения сопротивления  $R_2$  ограничены, так как при этом возрастает задержка выключения (см. § 2.2). Поэтому выбирают  $R_1/R_2 = 1 \dots 2$ . На рис. 2.7, а, б показаны зависимости  $\Delta U_{\Pi}^+$ ,  $\Delta U_{\Pi}^-$ ,  $\Delta U_{\Pi} = f(E, T)$ , вычисленные с помощью выражений (2.27), (2.28), (2.30) при типовых значениях параметров элементов схемы. Как видно из графиков, наибольшая помехоустойчивость  $\Delta U_{\Pi}^+$ ,  $\Delta U_{\Pi}$  достигается при выполнении условий (2.26а, б), (2.29а, б), т. е. при больших напряжениях питания  $E$  или пониженном отношении  $R_1/R_2$ .

Помехоустойчивость схемы по отношению к помехам отрицательной полярности, поступающим по шине «питание», определяется выражением (2.28),  $\Phi_{\Pi}^- = \Delta U_{\Pi}^-$ . Помехоустойчивость схемы по отношению к помехам по-

ложительной полярности на шине «земля» определяется выражениями (2.27а, б),  $\Phi_3^+ = \Delta U_n^+$ .

Помехи положительной полярности на шине питания так же, как помехи отрицательной полярности на шине «земля», могут привести к нарушению работоспособности схемы вследствие пробоя закрытых эмиттерных пе-

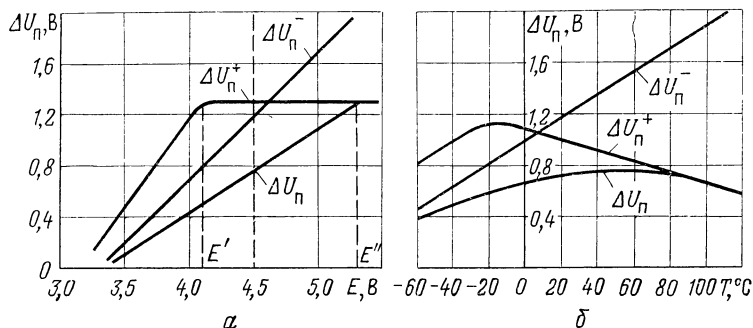


Рис. 2.7. Зависимость помехоустойчивости типовой схемы (отношение  $R_1/R_2=1,5$ ) от напряжения питания (а) при  $T=20^\circ\text{C}$  и от рабочей температуры (б) при  $E=4,5$  В. Величина  $E'$  соответствует равенству (2.26б),  $E''$  — равенству (2.29б).

реходов входного транзистора  $T_m$ , когда напряжение на них превысит пробивное  $U_{эб\text{ м}} > U'_{\text{пр э}}$ . Наиболее опасным является случай, когда часть эмиттерных переходов ( $m \geq 1$ ) открыта:  $U_{вх\text{ м}} = U^0$ , а остальные ( $M-m$ ) переходы закрыты  $U_{вх\text{ (M-m)}} = U^1$ . При этом величина  $U_{эб\text{ м}}$  максимальна и допустимое значение помех по шинам питания и «земля» составляет

$$\Phi_n^+ = \Phi_3^- = U'_{\text{пр э}} + U_{эо} - (U^1 - U^0). \quad (2.31)$$

При заданных величинах  $\Delta U_n^+$ ,  $\Delta U_n^-$  с помощью выражений (2.27а, б) и (2.28) определяют максимально допустимое значение уровня  $U^0$  и минимально допустимое значение уровня  $U^1$

$$U_{\text{макс}}^0 = U_{эо} + U_{эз} - U_{\text{кн м}} - \Delta U_n^+, \quad (2.32)$$

$$U_{\text{мин}} = 2U_{эо} - U_{\text{кн м}} + \Delta U_n^- \text{ при } \Delta U_n^- > U_{эз}R_1/R_2, \quad (2.33а)$$

$$+ U_{\text{кн м}} + U^0) R_1 U_{эз}/R_2 U_{эо} \text{ при } \Delta U_n^- < U_{эз}R_1/R_2. \quad (2.33б)$$

Для рассматриваемых микросхем принимают  $\Delta U_{\text{п}} = 1$  В при нормальных условиях,  $\Delta U_{\text{п}} = 0,4$  В в полном рабочем диапазоне температур, напряжений питания и числа нагрузок. При этом допустимые уровни составляют:  $U^0_{\text{макс}} = 0,3 \dots 0,4$  В,  $U^1_{\text{мин}} = 2,3 \dots 2,4$  В.

Помимо статических помех в линиях связи между схемами могут возникать импульсные помехи. Так как входное сопротивление схемы значительно больше волнового сопротивления линии связи, то отрицательный импульс помехи отражается от схемы-нагрузки без изменения полярности и возвращается к началу линии, где находится выход схемы, являющейся возбудителем линии связи. Так как выходное сопротивление схемы меньше волнового сопротивления линии, то импульс помехи отражается с изменением полярности. Таким образом, на вход схемы-нагрузки после отражений поступает импульс положительной полярности, и если его амплитуда превышает величину порога  $U_{\text{п}}$ , может произойти ложное переключение схемы-нагрузки [54—56].

Чтобы избежать ложных переключений, между входами и шиной «земля» включают диоды  $D_{\text{вх}}$ , показанные пунктиром на рис. 2.1 [54, 56]. Эти диоды ограничивают амплитуду отрицательного импульса помехи на входе схемы величиной  $U_{\text{до}}$ . Так как  $U_{\text{до}} < U_{\text{п}}$ , то импульс такой амплитуды после отражения не вызовет полного переключения схемы.

Коэффициент разветвления на выходе  $N$  обычно определяется как максимальное число нагрузок, при котором величины выходных напряжений сохраняются в заданных пределах:  $U^0_{\text{вых}} \leq U^0_{\text{макс}}$ ,  $U^1_{\text{вых}} \geq U^1_{\text{мин}}$ . Так как напряжение  $U^0_{\text{вых}}$  резко возрастает при выходе из насыщения транзистора  $T_2$ , то коэффициент разветвления по низкому уровню  $N_0$  определяется из условия насыщения этого транзистора при числе нагрузок  $n = N_0$  и наихудшем сочетании внешних и внутренних параметров. Используя равенство (2.13), где в качестве  $B$  принимается  $B_{2\text{мин}}$  — минимальное значение коэффициента усиления транзистора  $T_2$ , находим максимальный допустимый ток нагрузки  $I^0_{\text{н макс}} = I_{\text{к2 макс}} = N_0 I^0_{\text{вх макс}}$ . Токи  $I_{\text{бн2}}$  и  $I^0_{\text{вх макс}}$  определяются с помощью выражений (2.16) и (2.20), причем для наихудшего случая принимается, что сопротивления  $R_6$ ,  $R_1$  испытываемой схемы больше номинального значения в  $1 + \varepsilon_R$  раз, сопротивления  $R_6$  схем-нагрузок составляют  $(1 - \varepsilon_R)$  от номинального. Для схем-



нагрузок считаем  $m=1$ . В результате получаем

$$N_0 = \frac{B_{2\text{мин}}}{S_{2\text{мин}}} \frac{1 - \varepsilon_R}{1 + \varepsilon_R} \left[ \frac{1}{1 + MB'_I} \frac{R_6}{R_1} \left( 1 - \frac{R_1}{R_2} \frac{U_{\varepsilon 0}}{E - U_{\varepsilon 0}} \right) + \frac{E - 3U_{\varepsilon 0}}{E - U_{\varepsilon 0}} \right]. \quad (2.34)$$

Минимальное значение  $N_0$  получается при минимальной рабочей температуре  $T_{\text{мин}}$  и минимальном напряжении питания  $E_{\text{мин}}$ .

При заданном  $N=N_0$  и выбранном  $S_{2\text{мин}}$  из выражения (2.34) определяются допустимые значения параметров  $B_{2\text{мин}}$  и  $\varepsilon_R$ . Определив  $N_0$  с помощью (2.34), необходимо произвести проверку выполнения условия  $U^0_{\text{вых}} \leq U^0_{\text{макс}}$ , используя выражение (2.25), где принимается  $I^0_{\text{н}} = N_0 I^0_{\text{вх макс}}$ . Для наихудшего случая

$$U^0_{\text{вых макс}} = U_{\text{кн0}} + N_0 \frac{r_{\text{к2 макс}}}{R_6(1 - \varepsilon_R)} (1 + MB'_I) (E - U'_{\varepsilon 0}) \leq U^0_{\text{макс}}, \quad (2.35)$$

где  $U_{\text{кн0}}$  определяется при  $S_2 = S_{2\text{мин}}$ . Степень насыщения  $S_{2\text{мин}}$  выбирается равной 1, 2...1,3, чтобы обеспечить низкие значения  $U^0_{\text{вых}}$  и снизить требования к величине  $B_{2\text{мин}}$ . При заданном  $N=N_0$  и выбранном  $S_{2\text{мин}}$  из условия (2.35) определяется максимально допустимое сопротивление  $r_{\text{к2}}$ .

Из формулы (2.34) следует, что для повышения  $N_0$  требуется увеличивать отношение  $R_6/R_1$ . Ограничение на максимальную величину  $R_6/R_1$  накладывается условием насыщения транзистора  $T_1$ . Из (2.13) получаем

$$\frac{R_6}{R_1} \leq (1 + MB'_I) \frac{B_{1\text{мин}}}{S_{1\text{мин}}} \frac{E - 2U_{\varepsilon 0} - U'_{\text{к0}}}{E - U_{\varepsilon 0}}. \quad (2.36)$$

Величина  $S_{1\text{мин}}$  выбирается равной 1, 2...1,3, чтобы обеспечить достаточно малое напряжение  $U_{\text{кн1}} = f(S_1)$  для выполнения условия (2.12).

Отношение  $R_6/R_1$  выбирается из условия обеспечения оптимального соотношения потребляемой мощности и быстродействия (§ 2.2). Поэтому при выбранном  $R_6/R_1$  с помощью (2.36) можно определить требование к минимальному допустимому значению коэффициента  $B_1$  для

наихудшего случая:  $T = T_{\min}$ ,  $E = E_{\min}$ . Из выражений (2.34), (2.36) получаем

$$N_0 \leq (1 + MB'_I) \frac{B_{2\min}}{S_{2\min}} \frac{1 - \varepsilon_R}{1 + \varepsilon_R} \frac{E - 3U_{\varepsilon 0}}{E - U_{\varepsilon 0}} \times \\ \times \left[ \frac{B_{1\min}}{S_{1\min}} \left( 1 - \frac{R_1}{R_2} \frac{U_{\varepsilon 0}}{E - U_{\varepsilon 0}} \right) + 1 \right]. \quad (2.37)$$

Значения  $N_0$ , вычисленные с помощью выражений (2.34) и (2.37) при типовых значениях параметров схемы, представлены на рис. 2.8.

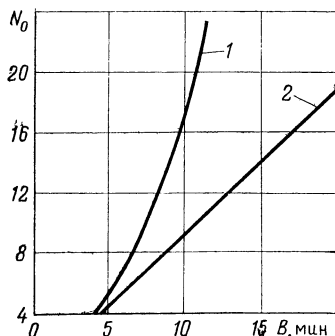


Рис. 2.8. Зависимость коэффициента разветвления  $N_0$  от коэффициента усиления транзисторов  $T_1$  и  $T_2$  для схемы при  $E = 4,5$  В,  $T = -60^\circ\text{C}$ ,  $\varepsilon_R = 0,2$ ,  $MB'_I = 0,1$ ,  $S_{\min} = 1,3$ :

1 — максимальное  $N_0$ , вычисленное с помощью (2.37), 2 — типовое  $N_0$ , вычисленное с помощью (2.34) при  $R_6/R_1 = 2,5$ .

Коэффициент разветвления по высокому уровню  $N_1$  определим при выбранном значении  $U^1_{\min}$  с помощью выражения (2.226), считая, что  $U^1_{\text{вых}}$  достигает значения  $U^1_{\min}$  при максимальном токе нагрузки  $I^1_{\text{н макс}} = N_1 I^1_{\text{вх макс}}$ . Для наихудшего случая при максимальных значениях сопротивлений  $R_1$ ,  $r_{бз}$ ,  $r_d$  получаем

$$N_1 = \frac{E - U_{\varepsilon 0} - U_{до} - U^1_{\min}}{I^1_{\text{вх макс}} \left[ \frac{R_1(1 + \varepsilon_R) + r_{бз \text{ макс}}}{B_{3 \min} + 1} + r_{d \text{ макс}} \right]} \approx \\ \approx (B_{3 \min} + 1) \frac{E - U_{\varepsilon 0} - U_{до} - U^1_{\min}}{I^1_{\text{вх макс}} R_1(1 + \varepsilon_R)}. \quad (2.38)$$

Максимальное значение входного тока  $I^1_{\text{вх макс}}$  определяется с помощью выражения (2.196) с добавлением тока утечки

$$I^1_{\text{вх макс}} = B'_{I \text{ макс}} \frac{E - U_{\varepsilon 0}}{R_6(1 - \varepsilon_R)} + I^1_{\text{вх ут}}. \quad (2.39)$$

В большинстве случаев минимальное значение  $N_1$  получается при минимальной рабочей температуре  $T_{\min}$  и

минимальном напряжении питания  $E_{\text{мин}}$ . Однако иногда токи  $I'_{\text{вх ут}}$  и  $I'_{\text{вх макс}}$  при максимальной рабочей температуре  $T_{\text{макс}}$  резко возрастают, а нагрузочная способность  $N_1$  уменьшается. Поэтому величину  $N_1$  следует определять как при максимальной, так и при минимальной рабочих температурах. Коэффициент разветвления на выходе  $N$  определяется как минимальное из значений  $N_0$ ,  $N_1$  во всем диапазоне рабочих условий. В большинстве случаев  $N_1 \gg N_0$ , поэтому  $N = N_0$ . Типовое значение составляет  $N = 10$  в рабочем диапазоне температур и напряжений питания.

**Потребляемая мощность** определяется величиной тока в цепи питания при различных логических состояниях схемы. При низком напряжении на выходе ток в цепи питания равен сумме токов, протекающих через резисторы  $R_6$  и  $R_1$ :

$$I_{\text{п}}^0 = (E - U'_{\text{ко}} - 2U_{\text{зо}})/R_6 + (E - U_{\text{зо}} - U_{\text{кн1}})/R_1. \quad (2.40)$$

При высоком напряжении на выходе ток, потребляемый от источника питания, протекает только через резистор  $R_6$  и приблизительно равен при  $MB'_1 \ll 1$  сумме входных токов  $I^0_{\text{вх т}}$  схемы:

$$I_{\text{п}}^1 = (E - U'_{\text{зо}})/R_6. \quad (2.41)$$

Используя выражение (1.3), определяем среднюю потребляемую мощность

$$P \approx E [(E - 2U_{\text{зо}})/R_6 + (E - U_{\text{зо}})/2R_1], \quad (2.42)$$

где  $U'_{\text{ко}} \approx U_{\text{зо}}$ ,  $U_{\text{кн1}} \approx 0$ .

При заданной мощности и выбранном отношении  $R_6/R_1$  выражение (2.42) позволяет определить сопротивления  $R_6$  и  $R_1$ .

## 2.2 ПЕРЕХОДНЫЕ ХАРАКТЕРИСТИКИ

Рассмотрим переходные характеристики схемы при работе в цепи аналогичных схем (рис. 1.8) и определим временные параметры, характеризующие быстродействие схемы: длительности задержек  $t_3^{01}$ ,  $t_3^{10}$ ,  $t_3 \text{ ср}$  (на уровне порога переключения  $U_{\text{п}} \approx 2U_{\text{зо}}$ ) и фронтов  $t_{\text{ф}}^{01}$ ,  $t_{\text{ф}}^{10}$ . Ниже описываются переходные процессы, а в табл. 2.1 приведены выражения, определяющие времена переключения схемы [57]. При анализе учитываются емкость нагрузки  $C_{\text{н}}$  и паразитные емкости межсоединений, изо-

ляции элементов, подключенные к узлам схемы (рис. 2.1):  $C_{пм}$ ,  $C_{п1}$ ,  $C_{п2}$ ,  $C_{п3}$  — на базах транзисторов  $T_m$ ,  $T_1$ ,  $T_2$ ,  $T_3$  соответственно,  $C_{п\text{вых}}$  — на выходе схемы (коллекторе  $T_2$  и эмиттере  $T_3$ ).

Временные диаграммы токов и напряжений в схеме, иллюстрирующие процесс переключения, показаны на рис. 2.9.

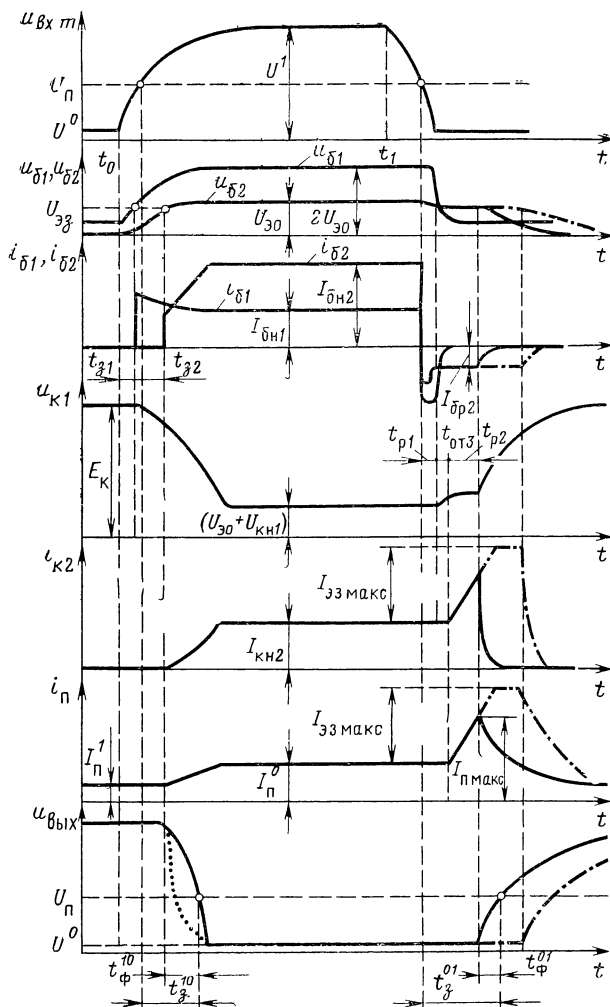


Рис. 2.9. Временные диаграммы токов и напряжений.

Таблица 2.1

	$t_3^{10} = t_{31} + t_{32} + t_{\Phi}^{10} - t_{\Phi 1}^{01} \text{ вх} \quad (2.44)$ $t_{31} = R_6(MC_{3M} + C_{PM} + C_{П1} + C_{31} + C_{K1}) \frac{U_{33} - U'_{K30} - U^0}{(E - U_{30}) + (U^1 - U^0) (mR_6 C_{3M} / t_{\Phi}^{01} \text{ вх})} \quad (2.45a)$ $t_{32} = \sqrt{\frac{2U_{33}}{E - 2U_{30}}} R_6 (C_{П2} + C_{K2} + C_{32}) R_1 \left( C_{K1} + \frac{C_{K3} + C_{П3} + 0,5C_{33}}{\beta_1} \right) \quad (2.46)$
$t_{H1}^{10} < t_{\Phi 1}^{01}$	$t_{\Phi 1}^{10} = \sqrt{\left[ R_1 \left( C_{K1} + \frac{C_{П3} + C_{K3} + 0,5C_{33}}{\beta_1} \right) \right]^2 + 2 \frac{U^1 - U_{П}}{E - 3U_{30}} R_1 R_6 \left( C_{K1} + \frac{C_{П3} + C_{K3} + 0,5C_{33}}{\beta_1} \right)} \times \quad (2.49a)$ $\times \left( C_{K2} + \frac{C_H + C_{П \text{ вхх}}}{\beta_2} \right) - R_1 \left( C_{K1} + \frac{C_{П3} + C_{K3} + 0,5C_{33}}{\beta_1} \right)$ $t_{\Phi}^{10} = \sqrt{\left[ R_1 \left( C_{K1} + \frac{C_{П3} + C_{K3} + 0,5C_{33}}{\beta_1} \right) \right]^2 + 2 \frac{U^1 - U_{\text{макс}}^0}{E - 3U_{30}} R_1 R_6 \left( C_{K1} + \frac{C_{П3} + C_{K3} + 0,5C_{33}}{\beta_1} \right)} \times \quad (2.50a)$ $\times \left( C_{K2} + \frac{C_H + C_{П \text{ вхх}}}{\beta_2} \right) - R_1 \left( C_{K1} + \frac{C_{П3} + C_{K3} + 0,5C_{33}}{\beta_1} \right)$
$t_{H1}^{10} > t_{\Phi 1}^{01}$	$t_{\Phi 1}^{10} = t_{H1} + \frac{u_{\text{вхх}} (t_{H1}) - U_{П}}{(E - U_{30}) + (E - 3U_{30}) (R_1 / R_6) - U_{30} (R_1 / R_2)} R_1 \left( C_{K2} + \frac{C_H + C_{П \text{ вхх}}}{\beta_2} \right) \quad (2.496)$ $t_{\Phi 1}^{10} = t_{H1} + \frac{u_{\text{вхх}} (t_{H1}) - U_{\text{макс}}^0}{(E - U_{30}) + (E - 3U_{30}) (R_1 / R_6) - U_{30} (R_1 / R_2)} R_1 \left( C_{K2} + \frac{C_H + C_{П \text{ вхх}}}{\beta_2} \right) \quad (2.506)$

Включение схемы

	$t_3^{01} = t_{p1} + t_{or3} + t_{p2} + t_{\phi 1}^{01} \quad (2.60)$ $t_{p1} = \tau_p \frac{R_1}{R_6} \frac{E - 3U_{30}}{E - U_{50}} \quad (2.61)$ $t_{or3} = R_1 (C_{k1} + C_{п3} + C_{к3} + 0,5C_{33}) \frac{2U_{33} - U_{30}}{E - U_{30}} \quad (2.62)$
$t_{p2} < t_{н3}$	$t_{p2} = \tau_p \frac{(I_{6н2} - I_{кн2}/B_2) - (I_{6п2} + I_{6р2}) (t_{p1} + t_{or3})/\tau_p}{(I_{6н2} + I_{6р2}) + I_{33 \text{ макс}} (\tau_0/t_{н3})} \quad (2.63a)$ $t_{\phi 1}^{01} = R_1 \left( C_{к1} + C_{п3} + C_{к3} + \frac{C_{н} + C_{к2} + C_{п \text{ вых}}}{\beta_3} \right) \ln \frac{U^1 - U_{\text{макс}}^0}{U^1 - U_{п}} \quad (2.64a)$ $t_{\phi}^{01} = R_1 \left( C_{к1} + C_{п3} + C_{к3} + \frac{C_{н} + C_{к2} + C_{п \text{ вых}}}{\beta_3} \right) \ln \frac{U^1 - U_{\text{макс}}^0}{U^1 - U_{\text{мин}}^1} \quad (2.65a)$
$t_{p2} > t_{н3}$	$t_{p2} = \tau_p \frac{(I_{6н2} - I_{кн2}/B_2) - (I_{6п2} + I_{6р2}) (t_{p1} + t_{or3})/\tau_p - I_{33 \text{ макс}} (\tau_0/\tau_p)}{I_{6н2} + I_{6р2}} \quad (2.63б)$ $t_{\phi 1}^{01} = \frac{R_3 R_6}{nR_3 + R_6} (C_{н} + C_{к2} + C_{п \text{ вых}}) \ln \frac{E - U_{30} - U_{\text{макс}}^0}{E - U_{30} - U_{п}} \quad (2.64б)$ $t_{\phi}^{01} = \frac{R_3 R_6}{nR_3 + R_6} (C_{н} + C_{к2} + C_{п \text{ вых}}) \ln \frac{E - U_{30} - U_{\text{макс}}^0}{E - U_{30} - U_{\text{мин}}^1} \quad (2.65б)$

**Включение схемы.** Пусть в исходном состоянии на  $m$  входов схемы подано напряжение  $u_{вхm} = U^0$ , а на остальные  $(M-m)$  входов — напряжение  $U_{вх(M-m)} = U^1$ . Соответствующие  $m$  эмиттерных переходов транзистора  $T_m$  открыты, а остальные  $(M-m)$  эмиттерных переходов закрыты. Коллекторный переход  $T_m$  открыт, и на базе транзистора  $T_1$  поддерживается низкое напряжение, близкое к  $U^0$ . Транзисторы  $T_1$  и  $T_2$  закрыты, транзистор  $T_3$  открыт, и на выходе схемы высокое напряжение  $U^1_{вых}$ . В момент времени  $t_0$  напряжение  $u_{вхm}$  начинает возрастать, стремясь к величине  $U^1$ .

При быстром возрастании  $u_{вхm}$ , когда напряжение на базе  $T_m$  не успевает следовать за изменениями  $u_{вхm}$ :

$$\frac{du_{вхm}}{dt_1} > \frac{du_{бm}}{dt}, \quad (2.43a)$$

эмиттерные переходы  $T_m$  запираются, и он переходит в инверсный режим. Вследствие заряда емкостей на базах  $T_m$  и  $T_1$  напряжения  $u_{бm}$  и  $u_{б1}$  растут (рис. 2.9), стремясь, соответственно, к значениям  $E$  и  $(E - U'_{к0})$ . Изменения  $u_{бm}$  и  $u_{б1}$  можно определить с помощью эквивалентной схемы, показанной на рис. 2.10, а.

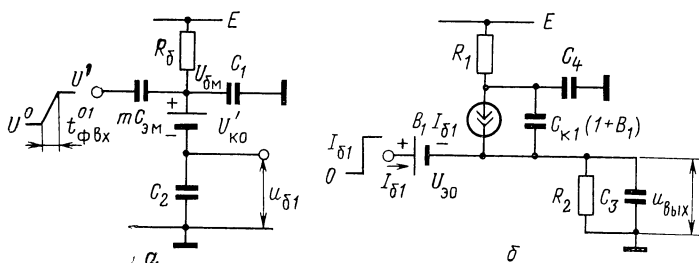


Рис. 2.10. Эквивалентные схемы для определения задержки отпирания  $t_{з1}$  транзистора  $T_1$  (а) и задержки отпирания  $t_{з2}$  транзистора  $T_2$  (б):

$$C_1 = (M-m)C_{эм} + C_{пм}, \quad C_2 = C_{п1} + C_{э1} + C_{к1}, \quad C_{з1} = C_{п2} + C_{э2} + C_{к2}, \quad C_4 = C_{п3} + C_{к3} + 0,5 C_{э3}.$$

Когда напряжение  $u_{б1}$  достигает значения  $U_{зз}$ , открывается транзистор  $T_1$ . Используя эквивалентную схему на рис. 2.10, а, можно получить приближенное выражение (2.45а) для времени задержки  $t_{з1}$  отпирания транзистора  $T_1$  (табл. 2.1). Открывшийся транзистор  $T_1$  работает в режиме ключа, имеющего сопротивления в эмиттерной

и коллекторной цепях. Напряжение  $u_{к1}$  уменьшается, транзистор  $T_3$  и диод закрываются. Напряжение  $u_{б2}$  растет (рис. 2.9), и при  $u_{б2} = U_{зз}$  открывается транзистор  $T_2$ . Эквивалентная схема для определения изменения напряжения  $u_{б2}$  показана на рис. 2.10, б. Используя данную схему, можно получить приближенное выражение (2.46) для времени задержки  $t_{з2}$  отпираания транзистора  $T_2$  (табл. 2.1). Если входной сигнал поступает от аналогич-

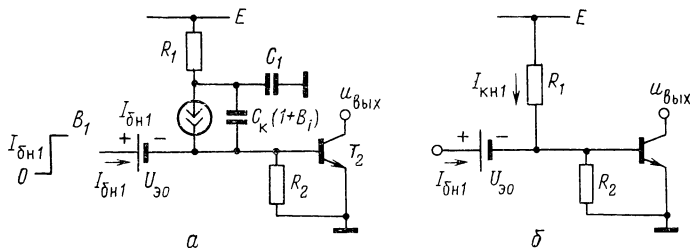


Рис. 2.11 Эквивалентные схемы для расчета длительности фронта включения  $t_{10}^{\phi}$  при работе транзистора  $T_1$  в активном режиме (а) и в режиме насыщения (б):  $C_k = C_{пз} + C_{кз} + 0,5C_{эз}$ .

ной предыдущей схемы, то в формуле (2.45а), можно полагать  $t_{ф\text{вх}}^{01} \approx 2t_{ф1}^{01}$ , где  $t_{ф1}^{01}$  определяется выражениями (2.64а) или (2.64б).

Если какие-либо входы схемы при ее работе не подключены к высокому напряжению  $U^1$ , то в выражениях (2.44), (2.45а, б) вместо емкости  $C_{эм}$  для этих входов следует использовать  $C_{п\text{вх}}$  — паразитную емкость внутренних соединений на входе схемы. Так как обычно  $C_{п\text{вх}} > C_{эм}$ , то значения  $t_{з1}$ ,  $t_{з2}$  при этом возрастают. Поэтому для повышения быстродействия схемы рекомендуется неиспользуемые входы подключать к высокому напряжению  $U^1$  [58].

Условие (2.43а) приближенно можно записать в виде

$$\frac{du_{вхm}}{dt} > \frac{E - U'_{ко}}{R_6 (C_{пм} + C_{п1} + MC_{эм} + C_{э1} + C_{к1})}. \quad (2.43б)$$

Если сигнал на входе схемы поступает с выхода аналогичной схемы, то  $du_{вхm}/dt = du_{вых}/dt$ . Как показывает проведенный ниже анализ процесса выключения схемы, для наиболее часто встречающегося случая, когда  $t_{р2} < t_{нз}$ , начальная скорость возрастания выходного напряжения

$$\frac{du_{вых}}{dt} = \frac{U^1 - U^0}{R_1 [C_{к1} + C_{пз} + C_{кз} + (C_{п\text{вых}} + C_{п})/\beta_3]}$$



При этом условии (2.43б) можно записать в следующем виде:

$$\frac{R_6 (C_{\text{пм}} + C_{\text{п1}} + MC_{\text{эм}} + C_{\text{э1}} + C_{\text{к1}})}{R_1 \left( C_{\text{к1}} + C_{\text{пз}} + C_{\text{кз}} + \frac{C_{\text{п вых}} + C_{\text{н}}}{\beta_3} \right)} > \frac{E - U'_{\text{ко}}}{U^1 - U^0}. \quad (2.43в)$$

Условия (2.43в) и (2.43а) при работе схемы в цепи аналогичных схем в большинстве случаев выполняются (исключение составляет случай больших емкостных нагрузок  $C_{\text{н}}$ , примерно равных сотням пикофарад).

В некоторых случаях возрастание  $u_{\text{вхт}}$  происходит медленно и условие (2.43а) не выполняется. При этом изменения напряжения  $u_{\text{бм}}$  успевают повторять изменения  $u_{\text{вхт}}$  и  $m$  эмиттерных переходов входного транзистора остаются открытыми. Так как коллекторный переход  $T_{\text{м}}$  при этом также открыт, то изменения потенциала  $u_{\text{б1}}$  повторяют изменения  $u_{\text{вхт}}$  с некоторой задержкой, которую вносит транзистор  $T_{\text{м}}$ . Приблизительно можно считать, что транзистор  $T_1$  открывается спустя время

$$t'_{\text{з1}} = \frac{r'_6 r'_k}{r'_6 + r'_k} (C_{\text{пм}} + C_{\text{п1}} + C_{\text{к1}} + C_{\text{э1}}) + r_{\text{б1}}(C_{\text{к1}} + C_{\text{э1}}), \quad (2.45б)$$

после того, как напряжение  $u_{\text{вхт}}$  достигнет значения  $U^0_{\text{п пр}}$ . После отпираания  $T_1$  начинает увеличиваться напряжение  $u_{\text{б2}}$  и спустя время  $t'_{\text{з2}}$  открывается транзистор  $T_2$ . Приблизительно можно считать, что транзистор  $T_2$  открывается спустя время

$$t'_{\text{з2}} = \frac{r'_6 r'_k}{r'_6 + r'_k} (C_{\text{пм}} + C_{\text{п1}} + C_{\text{к1}} + C_{\text{э1}}) + \\ + r_{\text{б1}}(C_{\text{к1}} + C_{\text{э1}}) + r_{\text{б2}}(C_{\text{к2}} + C_{\text{э2}}) + \tau_0, \quad (2.46б)$$

после того, как напряжение  $u_{\text{вхт}}$  достигнет уровня  $U_{\text{п}} \approx 2U_{\text{э0}}$ .

После отпираания транзистора  $T_2$  напряжение на базе  $T_{\text{м}}$  фиксируется на уровне  $u_{\text{бм}} = 2U_{\text{э0}} + U'_{\text{ко}}$ , и в базу  $T_1$  поступает ток  $i_{\text{б1}} = I_{\text{бн1}}$ . Спустя время

$$t_{\text{н1}} = R_6 \left( C_{\text{к1}} + \frac{C_{\text{пз}} + C_{\text{кз}} + 0,5C_{\text{эз}}}{\beta_1} \right) \frac{E - 2U_{\text{э0}}}{E - 3U_{\text{э0}}}, \quad (2.47)$$

транзистор  $T_1$  входит в насыщение. Напряжение на коллекторе  $T_1$  фиксируется на уровне  $u_{\text{к1}} = U_{\text{э0}} + U_{\text{кн1}}$ , а ток  $i_{\text{б2}}$  достигает величины  $I_{\text{бн2}}$ , определяемой выражением (2.16) (рис. 2.9).

При больших и средних емкостях нагрузки (сотни и десятки пикофарад) выходное напряжение уменьшается медленно и транзистор  $T_3$  в течение формирования фронта включения остается закрытым. При этом для определения изменений выходного напряжения можно использовать эквивалентную схему, показанную на рис. 2.11,а.

За время  $t_{\phi 1}^{10}$  выходное напряжение уменьшается до величины  $u_{\text{вых}} = U_{\text{п}}$ , и происходит отпираание схем-нагрузок. При дальнейшем уменьшении  $u_{\text{вых}}$  в коллектор транзистора  $T_2$  поступают входные токи схем-нагрузок:

$$i_{k2} = ni_{\text{вх}}^0 = n \left( \frac{1}{m} \frac{E - U_{\text{эо}} - u_{\text{вых}}}{R_6} + i_{\text{бр1}} \right), \quad (2.48)$$

где  $i_{\text{бр1}}$  — ток, вытекающий из базы насыщенного транзистора  $T_1$  схемы-нагрузки в течение времени рассасывания  $t_{\text{р1}}$  избыточного заряда в этом транзисторе, которое определяется выражением (2.61). Спустя время  $t_{\phi}^{10}$  транзистор  $T_2$  входит в насыщение, и выходное напряжение устанавливается на уровне  $U_{\text{вых}}^0$  (рис. 2.9).

Используя эквивалентную схему на рис. 2.11,а, можно получить приведенные в табл. 2.1 приближенные выражения (2.49,а) и (2.50,а), которые справедливы при  $t_{\text{н1}} > t_{\phi}^{10}$ . Выражение (2.50,а) определяет время спада выходного потенциала от  $U^1$  до  $U_{\text{макс}}^0$ . Длительность фронта включения на уровнях  $U_{\text{мин}}^1 \dots U_{\text{макс}}^0$  находится как разность  $t_{\phi \text{ вкл}}^{10} = t_{\phi}^{10}(U_{\text{макс}}^0) - t_{\phi}^{10}(U_{\text{мин}}^1)$ , где  $t_{\phi}^{10}(U_{\text{макс}}^0)$  определяется выражением (2.49а), а для вычисления  $t_{\phi}^{10}(U_{\text{мин}}^1)$  необходимо в формуле (2.50а) величину  $U_{\text{макс}}^0$  заменить на  $U_{\text{мин}}^1$ .

Если  $t_{\text{н1}} < t_{\phi}^{10}$ , то часть фронта выходного сигнала, для которой

$$u_{\text{вых}} < u_{\text{вых}}(t_{\text{н1}}) = E - 2U_{\text{эо}} - (E - 3U_{\text{эо}}) \frac{t_{\text{н1}}}{R_6 \left( C_{k2} + \frac{C_{\text{п вых}} + C_{\text{н}}}{\beta_2} \right)} \left[ 1 + \frac{t_{\text{н1}}}{2R_1 \left( C_{k1} + \frac{C_{k3} + C_{\text{пз}}}{\beta_1} \right)} \right], \quad (2.51)$$

формируется уже при насыщенном транзисторе  $T_1$  и для определения  $u_{\text{вых}}$  следует пользоваться эквивалентной схемой, показанной на рис. 2.11,б. В этом случае при  $u_{\text{вых}}(t_{\text{н1}}) > U_{\text{п}}$  величина  $t_{\phi 1}^{10}$  определяется выражением (2.49б), а при  $u_{\text{вых}}(t_{\text{н1}}) > U_{\text{макс}}^0$  величина  $t_{\phi}^{10}$  — выражением (2.50б):

При малых емкостях нагрузки (единицы пикофарад)  $u_{\text{вых}}$  уменьшается быстрее, чем  $u_{k1}$ , и в момент, когда  $u_{\text{вых}} = u_{k1} - 2U_{\text{эз}}$ , транзистор  $T_3$  и диод открываются. Дальнейшее уменьшение  $u_{\text{вых}}$  замедляется и практически повторяет изменение напряжения  $u_{k1}$  (см. пунктир на рис. 2.9).

Описанный выше вариант переходного процесса соответствует случаю, когда в течение всего времени включения схемы выполняется условие насыщения транзистора  $T_2$ :

$$B_2 i_{\text{сб}2} \geq i_{\text{к}2} = i_{\text{э}3} + i_{\text{н}}^0 = i_{\text{э}3} + n i_{\text{вх}}^0, \quad (2.52)$$

что наиболее часто реализуется на практике.

В отдельных случаях (при пониженном значении  $B_2$  и значительном числе нагрузок  $n$ ) условие (2.52) может нарушаться при  $u_{\text{вх}} < U_{\text{п}}$ , когда начинают протекать значительные токи  $i_{\text{б}p1}$  схем-нагрузок и в соответствии с выражением (2.48) возрастают токи  $i_{\text{вх}}^0$ . В течение времени протекания токов  $i_{\text{б}p1}$  транзистор  $T_2$  остается ненасыщенным и на выходе схемы поддерживается некоторое промежуточное напряжение  $u_{\text{вх}} = U_{\text{пр}}^0 > U_{\text{вх}}^0$ . По истечении времени  $t_{p1}$  токи  $i_{\text{б}p1}$  схем-нагрузок уменьшаются до нуля и начинает выполняться условие (2.52). Выходной потенциал уменьшается и достигает уровня  $U_{\text{вх}}^0$ , когда транзистор  $T_2$  входит в режим насыщения. При этом варианте процесса включения времена  $t_{p1}$ ,  $t_{10\phi}$  оказываются больше, поэтому для повышения быстродействия следует обеспечить выполнение условия (2.52).

**Выключение схемы.** Когда на все входы схемы подано высокое напряжение  $U_{\text{вхм}} = U^1$ , транзистор  $T_{\text{м}}$  находится в инверсном режиме, транзисторы  $T_1$  и  $T_2$  насыщены, а транзистор  $T_3$  и диоды заперты.

В момент времени  $t_1$  начинает уменьшаться напряжение  $u_{\text{вхм}}$  на  $m$  входах схемы. Когда  $u_{\text{вхм}}$  достигает значения  $U_{\text{п}}$ , соответствующие эмиттерные переходы транзистора  $T_{\text{м}}$  открываются. Так как коллекторный переход транзистора  $T_{\text{м}}$  открыт, то  $T_{\text{м}}$  начинает пропускать ток, вытекающий из базы насыщенного транзистора  $T_1$  (рис. 2.9),

$$i'_{\text{б}p1} = i_{\text{км}} = \frac{2U_{\text{э}0} - U_{\text{кнм}} - u_{\text{вхм}}}{r'_{\text{к}} + r_{\text{б}1} + r_{\text{б}2}}. \quad (2.53a)$$

Происходит рассасывание избыточного заряда в транзисторе  $T_1$ .

Так как сопротивления  $r'_{\text{к}}$ ,  $r_{\text{б}1}$ ,  $r_{\text{б}2}$  малы, то ток  $i_{\text{б}p1}$  достигает значительной величины и существенно превышает ток коллектора  $T_1$ . При этом заряд у эмиттерного перехода транзистора  $T_1$  быстро рассасывается, эмиттерный переход запирается, и происходит рассасывание заряда у коллекторного перехода под действием тока

$$i''_{\text{б}p1} \approx \frac{E + U_{\text{ко}} - U_{\text{кнм}} - u_{\text{вхм}}}{R_1 + r_{\text{к}1} + r'_{\text{к}}}. \quad (2.53б)$$

Так как избыточный заряд, накопленный в насыщенном транзисторе  $T_2$ , значительно больше, чем в  $T_1$ , то заряд в транзисторе  $T_1$  рассасывается раньше, чем в  $T_2$ .

По истечении времени  $t_{p1}$ , когда рассасывание заряда у коллекторного перехода  $T_1$  заканчивается, транзистор  $T_1$  запирается. Напряжение  $u_{к1}$  начинает возрастать, стремясь к значению  $E$  вследствие заряда емкости на коллекторе транзистора  $T_1$  через резистор  $R_1$ . Спустя время  $t_{отз}$ , когда напряжение  $u_{к1}$  достигнет значения  $U^0_{вых} + U_{эз} + U_{дз}$ , открываются транзистор  $T_3$  и диод. Токи  $i_{эз}$  и  $i_{к2}$  возрастают. Таким образом, рассасывание заряда в транзисторе  $T_2$  происходит под действием вытекающего из его базы тока

$$I_{бp2} = U_{э0}/R_2 \quad (2.54)$$

и при возрастающем коллекторном токе  $i_{к2}$  (рис. 2.9).

Так как выполняется условие  $B_3 I_{бнз} > I_{кнз}$ , где

$$I_{бнз} = (E - 2U_{э0} - U^0_{вых})/R_1, \quad (2.55)$$

$$I_{кнз} = (E - U_{э0} - U^0_{вых})/(R_3 + r_{кз} + r_d), \quad (2.56)$$

то транзистор  $T_3$  должен войти в насыщение спустя время  $t_{нз}$  после своего отпирания

$$t_{нз} = [\tau_0 + C_{кз}(R_3 + r_{кз})] \frac{R_1}{R_3 + r_{кз}} \frac{E - U_{э0}}{E - 2U_{э0}}. \quad (2.57)$$

Рассасывание избыточного заряда в транзисторе  $T_2$  заканчивается после отпирания транзистора  $T_3$ , т. е. в течение времени  $t_{p2}$  процесс рассасывания продолжается при открытом  $T_3$ . Если  $t_{p2} > t_{нз}$ , то за время  $t_{p2}$  транзистор  $T_3$  успевает войти в насыщение (пунктир на рис. 2.9). При этом токи  $i_{эз}$  и  $i_{к2}$  достигают максимальных значений\*:

$$I_{к2 \text{ макс}} = I_{эз \text{ макс}} + I^0_n, \quad (2.58)$$

$$I_{эз \text{ макс}} = I_{бнз} + I_{кнз}. \quad (2.59)$$

При использовании в схеме быстродействующих транзисторов, имеющих величину  $\tau_p < (40..50)$  нс, обычно оказывается  $t_{p2} < t_{нз}$ . В этом случае транзистор  $T_3$  в процессе рассасывания заряда в  $T_2$  работает в активном ре-

\* Ток  $I_{эз \text{ макс}}$  равен выходному току  $I_{вых \text{ кз}}$ , который измеряется при коротком замыкании выхода с шиной «земля» и при подаче низкого уровня  $U^0$  на входы схемы. Ток  $I_{вых \text{ кз}}$  является одним из основных параметров микросхем со сложными инверторами, и его величина указывается в справочных данных.

жиге и токи  $i_{э3}$ ,  $i_{к2}$  не успевают достичь значений  $i_{э3 \text{ макс}}$ ,  $I_{к2 \text{ макс}}$ . Времена рассасывания  $t_{р1}$  и  $t_{р2}$  можно определить с помощью приведенного в § 1.2, операторного выражения (1.13) для заряда в транзисторе, зная токи  $I_{б}$ ,  $I_{к}$  транзистора в режиме насыщения и при рассасывании заряда. Полученные таким образом приближенные выражения (2.61) и (2.63а, б) приведены в табл. 2.1. Там же дано выражение (2.62) для времени  $t_{от3}$ .

По истечении времени  $t_{р2}$  транзистор  $T_2$  закрывается. Начинается возрастание выходного напряжения, которое определяется процессом заряда емкости  $(C_{к2} + C_{п \text{ вых}} + C_{н})$  на выходе схемы током  $i_{э3}$  и входными токами схем-нагрузок. Спустя время  $t_{ф1}^{01}$ , когда напряжение  $u_{вых}$  достигает значения  $U_{п}$ , схемы-нагрузки запираются и дальнейший заряд емкости на выходе до напряжения  $u_{вых} = U^1$  производится только током  $i_{э3}$ .

При  $t_{р2} < t_{н3}$  и не слишком больших емкостях нагрузки  $C_{н}$ , когда выполняется условие

$$C_{к1} + C_{п3} + (C_{к2} + C_{п \text{ вых}} + C_{н})/\beta_3 < (4 \dots 5) C_{к3}, \quad (2.66)$$

транзистор  $T_3$  в процессе формирования положительного фронта выходного импульса работает в активном режиме. В этом случае изменения напряжения  $u_{вых}$  практически повторяют изменения напряжения на коллекторе транзистора  $T_1$  (рис. 2.9). Изменения напряжения  $u_{к1}$

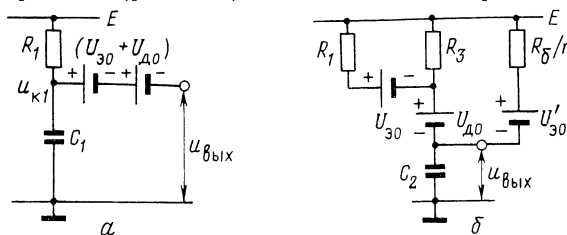


Рис. 2.12. Эквивалентные схемы для расчета длительности фронта выключения  $t_{ф1}^{01}$  при работе транзистора  $T_3$  в активном режиме (а) и в режиме насыщения (б):

$$C_1 = C_{к1} + C_{п3} + C_{к3} + (C_2/\beta_3); \quad C_2 = C_{н} + C_{к2} + C_{п \text{ вых}}.$$

можно определить используя эквивалентную схему, показанную на рис. 2.12,а. Напряжение  $u_{вых}$  следует за потенциалом  $u_{к1}$ , оставаясь меньше на величину  $U_{э0} + U_{до}$ , и достигает значения  $U_{п}$  за время  $t_{ф1}^{01}$  и значения  $U^1_{мин}$  за время  $t_{ф1}^{01}$ . С помощью эквивалентной схемы (рис. 2.12,б) получены выражения (2.64а), (2.65а).

При значительной емкости нагрузки, когда условие (2.66) не выполняется, процесс формирования положительного фронта выходного импульса имеет несколько стадий. На первой стадии транзистор  $T_3$  работает в активном режиме, затем он входит в насыщение, потом, когда выходное напряжение достигает граничного значения  $U_{\text{гр}}$ , начинается рассасывание заряда в насыщенном транзисторе  $T_3$ , и далее  $T_3$  снова оказывается в активном режиме. Если выполняется условие

$$C_n/(\beta_3 + 1) < (10 \dots 15) C_{кз}, \quad (2.67)$$

то транзистор  $T_3$  входит в насыщение после того, как выходное напряжение достигает уровня  $U_{\text{п}}$ . При этом для определения  $t_{\phi 1}^{01}$  можно использовать выражение (2.64а). Условие (2.67) выполняется даже при больших емкостях нагрузки ( $C_n \approx 500 \dots 1000$  пФ), поэтому практически во всех случаях при  $t_{p2} < t_{нз}$  для определения времени  $t_{\phi 1}^{01}$  можно использовать выражение (2.64а).

При  $t_{p2} > t_{нз}$  формирование фронта нарастания выходного сигнала происходит при насыщенном транзисторе  $T_3$  (пунктир на рис. 2.9). Изменения выходного потенциала в этом случае можно определить с помощью эквивалентной схемы, показанной на рис. 2.12,б, причем влиянием резистора  $R_1$  можно пренебречь, так как  $R_1 \gg R_3$ . В этом случае времена  $t_{\phi 1}^{01}$  и  $t_{\phi}^{01}$  определяются выражениями (2.64б), (2.65б). Выходное напряжение возрастает, стремясь к величине  $E - U_{\text{до}}$ . Когда  $u_{\text{вых}}$  достигает граничного значения

$$u_{\text{вых}} = U_{\text{гр}} = E - 2U_{\text{эо}} - U_{\text{эо}} \frac{R_1}{B_3 R_3 + R_1}$$

(обычно  $U^1_{\text{мин}} < U_{\text{гр}} < U^1$ ), условие насыщения  $T_3$  перестает выполняться и начинается рассасывание избыточного заряда в транзисторе  $T_3$ . По окончании рассасывания избыточного заряда транзистор  $T_3$  оказывается в активном режиме, и на выходе устанавливается напряжение  $U^1_{\text{вых}} \approx E - U_{\text{эо}} - U_{\text{до}}$ .

При большом числе нагрузок, когда

$$n \frac{E - U_{\text{эо}}}{R_6(C_{к2} + C_{п\text{вых}} + C_n)} > \frac{E - 2U_{\text{эо}}}{R_1(C_{к1} + C_{пз} + C_{кз} + 0,5C_{\text{эз}})},$$

выходное напряжение возрастает быстрее, чем  $u_{к1}$ , вследствие заряда емкости ( $C_{к2} + C_{п\text{вых}} + C_n$ ) на выходе схемы входными токами  $i^0_{\text{вх}}$  схем-нагрузок. Транзистор  $T_3$  и диод запираются, и время

возрастания выходного напряжения до значения  $u_{\text{вых}} = U_{\text{п}}$  определяется выражением

$$t_{\phi 1}^{01} = \frac{R_6}{n} (C_{K2} + C_{\text{п вых}} + C_{\text{н}}) \ln \frac{E - U_{\text{эо}} - U_{\text{макс}}^0}{E - U_{\text{эо}} - U_{\text{п}}} \quad (2.64\text{в})$$

При  $u_{\text{вых}} = U_{\text{п}}$  схемы-нагрузки выключаются и токи  $i_{\text{вх}}^0$  прекращаются. Спустя время

$$t'_{\text{отз}} = \left[ R_1 (C_{K1} + C_{\text{пз}} + C_{K3} + C_{\text{эз}}) \frac{E - 2U_{\text{эо}}}{E - 2U_{\text{эо}} - U_{\text{п}}} \right] - t_{\phi 1}^{01}, \quad (2.68)$$

транзистор  $T_3$  и диод открываются, и дальнейшее возрастание  $u_{\text{вых}}$  повторяет изменения напряжения  $u_{K1}$ . Длительность фронта выключения приближенно равна

$$t_{\phi}^{01} \approx t_{\phi 1}^{01} + t'_{\text{отз}} + R_1 \left( C_{K1} + C_{\text{пз}} + C_{K3} + \frac{C_{K2} + C_{\text{п вых}} + C_{\text{н}}}{\beta_3} \right) \ln \frac{E - 4U_{\text{эо}}}{E - 2U_{\text{эо}} - U_{\text{мин}}^1} \quad (2.65\text{в})$$

Полученные аналитические выражения дают возможность с точностью 20÷30% определить значения  $t_{\phi}^{01}$ ,  $t_{\phi}^{10}$ ,  $t_{3 \text{ ср}}$ ,  $t_{\phi}^{01}$ ,  $t_{\phi}^{10}$  и оценить влияние различных параметров на быстродействие схемы. Рассмотрим, например, зависимость средней задержки  $t_{3 \text{ ср}}$  от величины  $R_6/R_1$ . Для этого находим выражение  $t_{3 \text{ ср}} = 0,5(t_{\phi}^{01} + t_{\phi}^{10})$  и с помо-

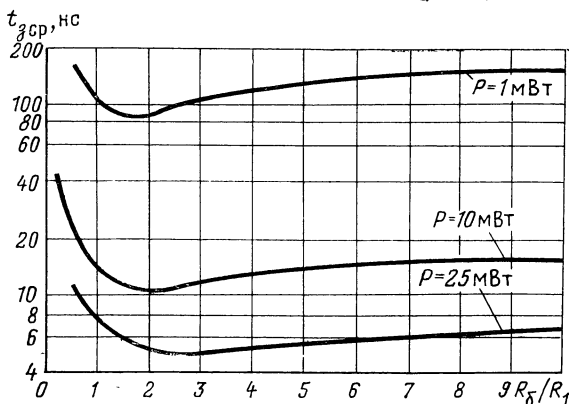


Рис. 2.13. Типовая зависимость средней задержки от отношения  $R_6/R_1$  при  $E=5 \text{ В}$ ,  $T=20^\circ\text{C}$ ,  $R_1/R_2=1,5$ ,  $C_{\text{н}}=30 \text{ пФ}$ .

щью (2.42), определив в нем  $R_1$  и  $R_6$  через  $P$  и  $R_6/R_1$ , получим зависимость  $t_{3 \text{ ср}} = f(P, R_6/R_1)$ . На рис. 2.13 показаны зависимости  $t_{3 \text{ ср}} = f(R_6/R_1)$ , рассчитанные таким

методом при типовых значениях параметров схемы. (Параметры транзисторов приняты такие же, как при расчете типовой схемы ТТЛ-3 в § 2.3).

Используя зависимость  $t_{3\text{cp}} = f(P, R_6/R_1)$ , можно определить оптимальное отношение  $R_6/R_1$ , при котором минимальна средняя задержка  $t_{3\text{cp}}$  при заданной мощности. Оптимальное отношение  $(R_6/R_1)_{\text{опт}} = 1,5 \dots 3,0$ . При этом для маломощных схем  $R_6/R_1$  меньше, чем для быстродействующих схем, потребляющих повышенную мощность. Как видно, из трафиков на рис. 2.13, величина  $t_{3\text{cp}}$  в окрестности точки  $(R_6/R_1)_{\text{опт}}$  меняется относительно мало. Поэтому величину  $R_6/R_1$  иногда выбирают несколько больше (приблизительно в 1,5 раза), чем  $(R_6/R_1)_{\text{опт}}$ . При этом  $t_{3\text{cp}}$  увеличивается незначительно, зато существенно возрастает нагрузочная способность либо снижаются требования к коэффициенту усиления транзисторов (см. (2.34)).

Рассмотрим связь потребляемой мощности и средней задержки. Величины  $t_3^{01}$ ,  $t_3^{10}$  и  $t_{3\text{cp}}$  определяются в основном процессами перезаряда емкостей (паразитных, нагрузки, переходов транзисторов) и рассасыванием избыточного заряда в транзисторе  $T_2$ . При увеличении  $P$  путем пропорционального уменьшения всех сопротивлений время перезаряда емкостей пропорционально уменьшается. Минимальное время перезаряда достигается при номиналах резисторов, сравнимых с омическими сопротивлениями  $r_{\text{к}}$ ,  $r_{\text{б}}$  транзисторов, и может составлять доли наносекунды; однако потребляемая мощность при этом возрастает до сотен милливатт. Время рассасывания заряда в транзисторе  $T_2$  зависит, главным образом, от отношений  $R_6/R_1$ ,  $R_1/R_2$  и при уменьшении  $P$  меняется сравнительно мало. При высоких значениях мощности  $(t_{\text{p1}} + t_{\text{p2}}) \approx t_3^{01}$ , и минимальная величина  $t_3^{01}$  определяется выражением

$$(t_3^{01})_{\text{мин}} \approx \tau_{\text{p}} \frac{(I_{\text{бн2}} - I_{\text{кн2}}/B_2) - I_{\text{эз макс}} (\tau_0/\tau_{\text{p}})}{I_{\text{бн2}} + I_{\text{бp2}}}, \quad (2.69a)$$

где считается, что условие  $R_6, R_1, R_2 \gg r_{\text{б}}, r_{\text{к}}$  еще выполняется.

При типовых значениях  $R_6/R_1 = 2 \dots 3$ ,  $R_1/R_2 = 1 \dots 2$ ,  $R_1/R_3 = 10$ ,  $E = 5 \text{ В}$ ,  $U_{\text{зо}} = 0,8 \text{ В}$ ,  $B_2 = 20 \dots 30$ ,  $(\tau_{\text{p}}/\tau_0) = 20 \dots 30$ , получаем

$$(t_3^{01})_{\text{мин}} \approx (0,3 \dots 0,7) \tau_{\text{p}}. \quad (2.69б)$$



Уменьшение задержки  $t_3^{10}$  значительно ниже величины  $(t_3^{01})_{\min}$  не дает существенного повышения быстродействия. Поэтому повышение быстродействия путем снижения номиналов резисторов, т. е. увеличения  $P$ , целесообразно только до некоторого значения  $P = P_{\max}$ , при котором  $t_{31} + t_{32} + t_{\phi 1}^{10} \approx (t_3^{01})_{\min}$ . Величину  $P_{\max}$  можно рассчитывать, используя выражения (2.42) и (2.44) — (2.49), (2.60) — (2.64). Оценочный расчет для типовых параметров схемы дает  $P_{\max} = 20 \dots 40$  мВт.

На рис. 2.14 показаны зависимости  $t_3^{01}$ ,  $t_3^{10}$ ,  $t_{3\text{ ср}}$ ,  $P t_{3\text{ ср}} = f(P)$ , рассчитанные с помощью указанных выра-

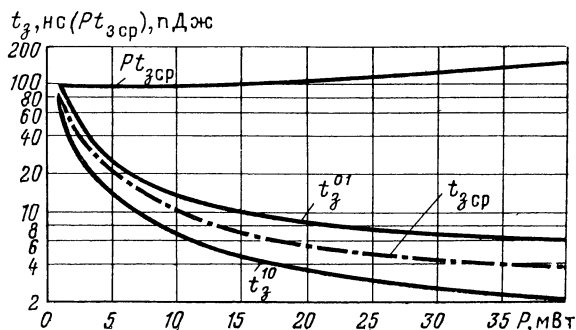


Рис. 2.14. Типовые зависимости задержек переключения и произведения  $P t_{3\text{ ср}}$  схемы от потребляемой мощности при  $E = 5$  В,  $T = 20^\circ\text{C}$ ,  $R_6/R_1 = 2,5$ ,  $R_1/R_2 = 1,5$ ,  $C_H = 30$  пФ.

жений при тех же значениях параметров схемы, как для зависимостей  $t_{3\text{ ср}} = f(R_6/R_1)$  на рис. 2.13.

Во многих случаях требуется знать зависимость длительностей фронтов и задержек от емкости нагрузки. Как следует из выражений (2.64а), (2.65а) и (2.60), значения  $t_{\phi 1}^{01}$ ,  $t_{\phi}^{01}$  и соответственно  $t_3^{01}$  линейно возрастают при увеличении  $C_H$  с коэффициентом

$$\frac{\Delta t_{\phi}}{\Delta C_H} = \frac{R_1}{\beta_3} \ln \frac{U^1 - U_{\max}^0}{U^1 - U},$$

где  $U = U_{\Pi}$  для  $t_{\phi 1}^{01}$  и  $t_3^{01}$ ;  $U = U_{\min}^1$  для  $t_{\phi}^{01}$ .

Из выражений (2.49а, б), (2.50а, б), (2.44) следует, что зависимость значений  $t_{\phi 1}^{10}$ ,  $t_{\phi}^{10}$ ,  $t_3^{10}$  от емкости  $C_H$  более слабая, хотя для приближенных оценок эту зависимость также часто аппроксимируют прямой линией. Ти-

повые зависимости  $t_3^{01}, t_3^{10}, t_{\Phi}^{01}, t_{\Phi}^{10} = f(C_{\Pi})$  показаны на рис. 2.15. Влияние емкости  $C_{\Pi}$  на  $t_3^{01}, t_{\Phi}^{01}, t_{\Phi}^{10}$  существенно зависит от величины коэффициента усиления  $\beta_3$ , а влияние  $C_{\Pi}$  на времена  $t_3^{10}, t_{\Phi}^{10}, t_{\Phi}^{10}$  — от коэффициента  $\beta_2$ . Поэтому при пониженной рабочей температуре зависимость этих времен от емкости  $C_{\Pi}$  оказывается значительно более сильной.

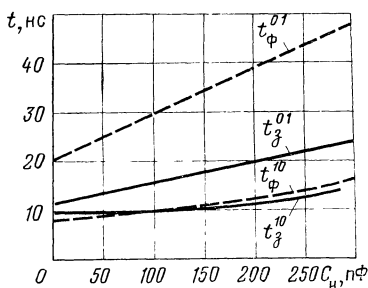


Рис. 2.16. Зависимости длительностей фронтов и задержек от температуры для схемы, потребляющей мощность  $P = 10$  мВт, при  $E = 5$  В,  $T = 20^\circ\text{C}$ .

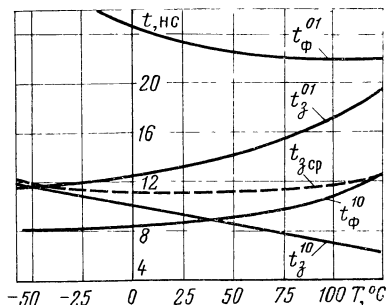


Рис. 2.16. Зависимости длительностей фронтов и задержек от температуры для схемы, потребляющей мощность  $P = 10$  мВт, при  $E = 5$  В,  $C_{\Pi} = 30$  пФ.

Схемы ТТЛ-3 могут работать на большую емкостную нагрузку (сотни пикофарад) без значительного увеличения времен переключения. Так для типовых схем средняя задержка  $t_{3\text{cp}}$  при  $T = 20^\circ\text{C}$  возрастает вдвое только при емкостях нагрузки  $C_{\Pi} = 100 \dots 300$  пФ.

Рассмотрим зависимость длительностей фронтов и задержек в схеме от температуры. При возрастании температуры увеличиваются постоянная времени рассасывания  $\tau_p$  и сопротивления, при этом уменьшаются падения напряжения  $U_{\text{эо}}, U_{\text{эз}}$  и порог переключения схемы  $U_{\text{п}}$ . В результате значения  $t_{\Phi 1}^{01}, t_{\Phi}^{01}, (t_{31} + t_{32})$  меняются относительно слабо, а значения  $t_{\Phi 1}^{10}, (t_{p1} + t_{\text{отз}} + t_{p2}), t_{\Phi}^{10}$  возрастают.

При понижении температуры увеличиваются значения  $U_{\text{эо}}, U_{\text{эз}}, U_{\text{п}}$ , уменьшаются сопротивления, постоянная времени  $\tau_p$  и коэффициенты усиления транзисторов. В результате значения  $t_{\Phi 1}^{10}, (t_{p1} + t_{\text{отз}} + t_{p2})$  несколько

уменьшаются, значения  $t_{\Phi}^{10}$ ,  $(t_{31} + t_{32})$  меняются слабо, а значения  $t_{\Phi 1}^{01}$ ,  $t_{\Phi}^{01}$  возрастают.

Типовые зависимости длительностей фронтов и задержек от температуры показаны на рис. 2.16. Средняя задержка  $t_{3\text{ ср}}$  имеет слабо выраженный минимум при температуре, близкой к нормальной, и возрастает на краях температурного диапазона.

Как показано на рис. 2.9, при выключении схемы ток питания  $i_{\text{пит}}$  значительно превышает токи  $I_{\text{п}}^0$ ,  $I_{\text{п}}^1$  в статическом режиме. Протекание этого избыточного тока связано с зарядом емкостей в схеме. Кроме того, в схеме в течение времени  $t_{p2}$  течет также значительный «сквозной» ток через открытые транзисторы  $T_2$  и  $T_3$ , что является особенностью схем со сложным инвертором. При  $t_{p2} > t_{н3}$  этот ток достигает величины  $I_{33\text{ макс}}$  и составляет десятки миллиампер.

Таким образом, при выключении схемы амплитуда импульса тока питания  $I_{\text{п макс}}$  в несколько раз превышает ток источника питания в статическом режиме. Чтобы при одновременном переключении нескольких схем в устройствах ЦВМ на шинах «земля» и «питание» не возникали значительные импульсные помехи, необходимо снижать сопротивления источника питания и подводящих шин.

Схема потребляет в режиме переключения дополнительную мощность [59]. Динамическая мощность  $P_{\text{дин}}$  (усредненное значение мощности переключения) зависит от частоты переключения и при  $t_{p2} < t_{н3}$  приближенно определяется выражением

$$P_{\text{дин}} \approx E f_{\text{п}} [(C_{31} + C_{32} + C_{п2}) U_{30} + (C_{пм} + C_{п1}) 2U_{30} + (C_{к1} + C_{к3} + C_{п3}) (E - U_{30}) + (C_{к2} + C_{пвых} + C_{н}) (U^1 - U^0) + I_{33\text{ макс}} t_{p2}^2 / t_{н3}]. \quad (2.70)$$

Первые члены в выражении (2.70) определяют динамическую мощность, связанную с перезарядом емкостей в схеме. Последний член связан со сквозным током через транзисторы  $T_2$  и  $T_3$ . Эта часть динамической мощности значительна при больших временах  $t_{p2}$ . При высокой частоте переключения ( $f_{\text{п}}$  порядка единиц мегагерц) величина  $P_{\text{дин}}$  сравнима с мощностью  $P$ , потребляемой в статическом режиме. На рис. 2.17 показана зависимость полной потребляемой мощности  $P_{\text{п}} = P + P_{\text{дин}}$  от частоты переключения для схемы среднего быстродействия.

Иногда диод в схеме ТТЛ-3 включается в базовую цепь транзистора  $T_3$  (рис. 2.18). При таком включении ток через диод при высоком уровне на выходе оказывается значительно меньше (в  $B_3$  раз), чем в схеме с диодом в эмиттерной цепи транзистора  $T_3$ . Падение напряжения на диоде уменьшается, и приближенно можно считать  $U_{\text{вых}}^1 \approx E - U_{\text{дз}} - U_{\text{зо}}$ .

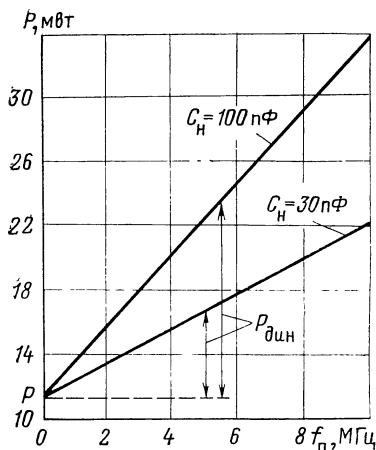


Рис. 2.17. Зависимость мощности, потребляемой схемой, от частоты переключения при  $E = 5 \text{ В}$ ,  $T = 20^\circ\text{C}$ .

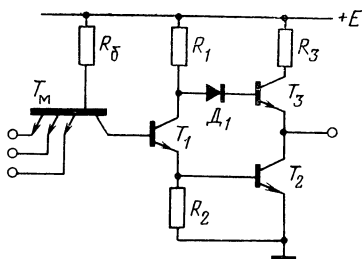


Рис. 2.18. Схема с диодом в базовой цепи транзистора  $T_3$ .

Таким образом, напряжение  $U_{\text{вых}}^1$  и помехоустойчивость  $\Delta U_{\text{п}}^-$  в данной схеме на  $0,15 \dots 0,2 \text{ В}$  больше, чем для схемы с диодом в эмиттерной цепи транзистора  $T_3$ .

Данная схема имеет несколько меньшие значения  $t_3^{10}$ ,  $t_{\text{ф}}^{10}$ , так как в выражениях (2.46) — (2.47) вместо емкости  $C_{\text{кз}} + 0,5C_{\text{эз}}$  следует подставить  $C_{\text{д}}(C_{\text{кз}} + C_{\text{эз}})/(C_{\text{д}} + C_{\text{кз}} + C_{\text{эз}})$ . Однако значения  $t_{\text{ф1}}^{01}$ ,  $t_{\text{ф}}^{01}$  оказываются больше из-за того, что паразитная емкость диода непосредственно прибавляется к емкости  $C_{\text{пз}}$ . Поэтому в быстродействующих схемах такое включение диода применять нецелесообразно.

### 2.3. МЕТОДИКА РАСЧЕТА

При проектировании логических схем задают следующие параметры:  $M$ ,  $N$ ,  $\Delta U_{\text{п}}$ ,  $P$ , относительное отклонение напряжения питания от номинала (а иногда и величину  $E$ ), рабочий диапазон температур  $T_{\text{мин}} \dots T_{\text{макс}}$ , а

также значения  $t_3$  и  $t_\phi$  при некоторой емкости нагрузки  $C_n$ . Используя результаты, полученные в § 2.1, 2.2, можно рекомендовать следующий порядок электрического расчета.

1. Задаемся типовыми значениями параметров диодов и транзисторов  $U_{30}=U_{д0}=U'_{30}=U'_{к0}$ ,  $U_{33}=U_{д3}=U'_{33}=U'_{к3}$ ,  $\theta_U$ ,  $B'_I$ ,  $U'_{кЭ0}$ , а также резисторов  $\epsilon_R$  и  $\theta_R$ .

2. Задаемся близкими к оптимальным значениями и  $R_6/R_1=2\dots 4$  и  $R_1/R_2=1\dots 2$ .

3. По заданному значению  $\Delta U_\pi^+$  с помощью выражения (2.32) определяем  $U_{\text{макс}}^0$ , т. е. получаем ограничение  $U_{кп2} \leq U_{\text{макс}}^0$ .

4. По заданному значению  $\Delta U_\pi^-$  с помощью выражения (2.33а) или (2.33б) определяем  $U_{\text{мин}}^1$  и, используя выражение (2.26б), находим напряжение  $E$ . При известном  $E$  из (2.26б), (2.27б) уточняем величину  $R_1/R_2$ .

5. Из выражений (2.40)—(2.42) по заданному значению  $P$  и выбранным отношениям  $R_6/R_1$  и  $R_1/R_2$  определяем номиналы резисторов  $R_6$ ,  $R_1$ ,  $R_2$  (с учетом  $\epsilon_R$ ).

6. Из выражений (2.14)—(2.21), в случае наихудшего сочетания  $\epsilon_R$ ,  $E$ ,  $T$ ,  $m$  и  $n$  находим предельные (максимальное и минимальное) значения токов, текущих через открытые транзисторы в статическом режиме.

7. Для найденных в п.п. 2, 6 ограничений на значения  $U_{кп2}$  и  $I_{кп2}$ , задаваясь величиной  $S_{2\text{мин}}=1,2\dots 1,3$ , определяем с помощью (2.35) величину сопротивления  $r_{к2}$ .

8. Из условия (2.12) находим ограничения на величину  $U_{кп1}$ . Задаваясь величиной  $S_{1\text{мин}}=1,2\dots 1,3$ , при найденных в п. 6 значениях  $I_{кп1}$  определяем с помощью выражения (2.11) ограничение на величину сопротивления  $r_{к1}$ .

9. Из выражений (2.34), (2.36) при заданных величинах  $N=N_0$ ,  $T=T_{\text{мин}}$ ,  $E=E_{\text{мин}}$  и выбранных значениях  $S_{1\text{мин}}$ ,  $S_{2\text{мин}}$  определяем ограничения на величины  $B_{1\text{мин}}$ ,  $B_{2\text{мин}}$ , которые должны выполняться во всем диапазоне рабочих токов (см. п. 6).

10. Из выражения (2.33а) или (2.33б) определяем допустимое значение  $U_{\text{мин}}^1$  и при заданной величине  $N=N_1$  и  $E=E_{\text{мин}}$  с помощью выражения (2.38) находим ограничения на значения  $B_{3\text{мин}}$  и  $I_{\text{вх макс}}^1$  для  $T=T_{\text{мин}}$  и  $T=T_{\text{макс}}$ . Из выражения (2.39) получим значения  $B'_I$  макс и  $I_{\text{вх ут}}^1$ .

11. Задаваясь величиной тока  $I_{\text{эз макс}} = I_{\text{вых кз}}$ , с помощью выражений (2.55), (2.56), (2.59) находим ограничения на величину  $(R_3 + r_{\text{кз}} + r_{\text{д}})$ . Величина  $I_{\text{эз макс}}$  определяется либо по предельному току транзисторов  $T_2$  и  $T_3$ , либо по максимально допустимому току, отбираемому в импульсе от источника питания.

Статический расчет схемы позволяет выбрать номиналы резисторов, определить статические значения токов в схеме и требуемые параметры  $B$  и  $r_{\text{к}}$  транзисторов. Если полученные требования к величинам  $B$  или  $r_{\text{к}}$  трудно выполнимы, следует произвести повторный расчет схемы, изменив принятые значения  $R_6/R_1$ ,  $S_{1\text{мин}}$ ,  $S_{2\text{мин}}$ . Так при увеличении  $R_6/R_1$  уменьшается требуемая величина  $B_{2\text{мин}}$ , но возрастает  $B_{1\text{мин}}$ ; при увеличении  $S_{1\text{мин}}$ ,  $S_{2\text{мин}}$  повышаются допустимые величины  $r_{\text{к1}}$ ,  $r_{\text{к2}}$ , но одновременно возрастают ограничения на  $B_{1\text{мин}}$ ,  $B_{2\text{мин}}$ .

12. В соответствии с результатами статического расчета выбираем структуру и геометрию элементов схемы: транзисторов и резисторов. Для выбранных структур определяем и уточняем параметры элементов, необходимые для статического и динамического расчета схем:  $\tau_0$ ,  $\tau_{\text{р}}$ ,  $C_{\text{э}}$ ,  $C_{\text{к}}$ ,  $B$ , оцениваем величины паразитных емкостей в различных узлах схемы:  $C_{\text{пм}}$ ,  $C_{\text{п1}}$ ,  $C_{\text{п2}}$ ,  $C_{\text{п3}}$ ,  $C_{\text{п вых}}$ . Если параметры элементов оказываются существенно отличными от значений, принятых в п. 1—11 при статическом расчете схемы, то следует произвести повторный расчет с уточненными значениями параметров.

13. Используя выражения (2.44)—(2.65), определяем длительности фронтов и задержек в схеме. Если найденные значения  $t_3^{01}$ ,  $t_3^{10}$ ,  $t_{3\text{ ср}}$ ,  $t_{\text{ф}}^{01}$ ,  $t_{\text{ф}}^{10}$  не удовлетворяют заданию, следует произвести соответствующую коррекцию параметров элементов (изменяя конфигурацию или структуру с учетом возможностей технологического процесса) и повторить расчет.

14. С помощью выражения (2.70) определяем величину  $P_{\text{дин}}$ . Если полученное значение  $P_{\text{дин}}$  превышает заданное, то производится уменьшение тока  $I_{\text{эз макс}}$  путем увеличения сопротивления  $R_3$ .

Аналогичный расчет следует произвести при нескольких значениях отношения  $R_6/R_1$  и выбрать величину  $R_6/R_1$ , при которой обеспечивается оптимальное сочетание статических и динамических параметров схемы. Обычно достаточно провести расчет при трех-четырех значениях  $R_6/R_1$  в диапазоне 2,0...4,0.

### Пример расчета схемы ТТЛ-3

Заданные параметры: рабочий диапазон температур:  $-60 \dots 125^\circ\text{C}$ , напряжение питания  $E=5 \pm 0,5$  В, число входов  $M=4$ , потребляемая мощность  $P \leq 15$  мВт при  $T=20^\circ\text{C}$  и  $E=5$  В, помехоустойчивость  $\Delta U^+_{\text{п}}, \Delta U^-_{\text{п}} \geq 1,0$  В при  $T=20^\circ\text{C}$ ,  $E=5$  В и  $\Delta U^+_{\text{п}}, \Delta U^-_{\text{п}} \geq 0,5$  В в рабочем диапазоне температур и напряжений питания, коэффициент разветвления на выходе  $N \geq 10$ , динамическая мощность  $P_{\text{дин}} \leq 15$  мВт при  $E=5$  В и  $f_{\text{п}}=10$  МГц, длительности фронтов переключения и средней задержки  $t^{01}_{\text{ф}}, t^{10}_{\text{ф}} \leq 25$  нс,  $t_{\text{з ср}} \leq 15$  нс при  $n=10$ ,  $C_{\text{н}}=30$  пФ.

1. Для предварительного расчета примем для транзисторов следующие значения параметров при  $T=20^\circ\text{C}$ :

$$U_{\text{зо}}=U_{\text{до}}=U'_{\text{зо}}=U'_{\text{ко}}=0,80 \text{ В};$$

$$U_{\text{эз}}=U_{\text{дз}}=U'_{\text{эз}}=U'_{\text{кз}}=0,60 \text{ В};$$

$$U_{\text{кнм}}=0,1 \text{ В}; \quad \theta_U = -2 \text{ мВ}/^\circ\text{C};$$

$$B_I = 0,2; \quad B'_I = 0,025.$$

Параметры резисторов:  $\epsilon_R=0,2$ ,

$$\theta_R=0 \text{ при } -60 \dots +20^\circ\text{C},$$

$$\theta_R=0,1\%/^\circ\text{C при } 20 \dots 125^\circ\text{C}.$$

2. Задаемся отношением  $R_6/R_1=2,5$ .

3. С помощью выражения (2.32) получаем  $U_{\text{кн2}} \leq U^0_{\text{макс}}=0,3$  В при  $T=20^\circ\text{C}$ . Учитывая температурный коэффициент  $\theta_U$ , получаем из (2.32)  $U_{\text{кн2}} \leq U^0_{\text{макс}}=0,4$  В при  $T_{\text{макс}}=125^\circ\text{C}$ .

4. Из условия (2.266) при  $E_{\text{мин}}=4,5$  В,  $T=+20^\circ\text{C}$  выбираем  $R_1/R_2=1,5$ . При  $T_{\text{мин}}=-60^\circ\text{C}$  условие (2.266) не выполняется. В этом случае  $\Delta U^+_{\text{п}}$  определяется выражением (2.276), с помощью которого при выбранном отношении  $R_1/R_2$ , считая ток нагрузки достаточнo малым, получаем  $U^0=U_{\text{кн2}} \leq 1,22$  В при  $T_{\text{мин}}=-60^\circ\text{C}$ .

5. Из (1.36) при выбранных отношениях  $R_6/R_1$ ,  $R_1/R_2$  и  $\epsilon_R=0,2$  находим  $R_6=3,7$  кОм,  $R_1=1,5$  кОм,  $R_2=1$  кОм.

6. Используя уже полученные ранее выражения (2.14)—(2.21) определяем максимальные и минимальные значения токов открытых транзисторов (табл. 2.2).

Т а б л и ц а 2.2

Рабочая температура		Ток транзисторов, мА						
		$T_{\text{м}}$		$T_1$		$T_2$		$T_3$ и $D_1$
		$I_{\text{эм}} = I^0_{\text{вх}}$	$I_{\text{эм}} = I^1_{\text{вх}}$	$I_{\text{бн1}} = I_{\text{км}}$	$I_{\text{кн1}}$	$I_{\text{бн2}}$	$I_{\text{кн2}}$	$I_{\text{эз}} = I_{\text{д}} = nI^1_{\text{вх}}$
$T_{\text{мин}} = -60^\circ\text{C}$	мин.	0,20	0,005	0,40	1,91	1,51	0,20	0,005
	макс.	1,69	0,038	0,97	3,70	3,47	16,9	0,38
$T = 20^\circ\text{C}$	мин.	0,21	0,005	0,52	2,0	1,85	0,21	0,005
	макс.	1,71	0,040	1,15	3,83	3,98	17,1	0,40
$T_{\text{макс}} = 125^\circ\text{C}$	мин.	0,20	0,005	0,61	1,92	2,08	0,20	0,005
	макс.	1,62	0,038	1,25	3,63	4,19	6,2	0,38

7. Согласно п. 4 при  $T_{\text{мин}} = -60^\circ\text{C}$  и  $E_{\text{мин}} = 4,5$  В достаточно иметь  $U_{\text{кн2}} < 1,22$  В, т. е. транзистор  $T_2$  может находиться на границе насыщения:  $S_2 = 1$ . Выбираем с некоторым запасом  $S_{2\text{мин}} = 1,3$ . Тогда в соответствии с (1.11а)  $U_{\text{кн0}} = 0,13$  В, и из условия (2.35) получаем  $r_{\text{к2}} < 14$  Ом.

При  $T = +20^\circ\text{C}$  согласно п. 3  $U_{\text{кн2}} \leq 0,3$  В. Будем считать, что при нагревании от  $-60^\circ$  до  $+20^\circ\text{C}$  величины  $B_2$  и соответственно  $S_2$  увеличиваются приблизительно вдвое. Тогда  $S_2 \approx 2,6$ ,  $U_{\text{кн2}} = 0,11$  В и с помощью (2.35) получаем  $r_{\text{к2}} \leq 11$  Ом.

При  $T_{\text{макс}} = 125^\circ\text{C}$  значения  $B_2$  и соответственно  $S_2$  увеличиваются еще более, а требования к величине  $U_{\text{кн2}}$  уменьшаются (см. п. 2). Считая  $S_2 = 4,0$ , получаем  $r_{\text{к2}} < 20$  Ом.

8. Из (2.12) с учетом  $\theta_U$  получаем

$$U_{\text{кн1}} \leq 0,5 \text{ В при } T_{\text{мин}} = -60^\circ\text{C},$$

$$U_{\text{кн1}} \leq 0,15 \text{ В при } T_{\text{макс}} = +120^\circ\text{C}.$$

Чтобы обеспечить требуемую величину  $U_{\text{кн1}}$  при  $T_{\text{мин}} = -60^\circ\text{C}$ , достаточно иметь  $S_{1\text{мин}} = 1,2 \dots 1,3$ . При этом  $U_{\text{кн0}} \approx 0,12 \dots 0,15$  В, и так как согласно п. 6  $I_{\text{кн1}} \leq 3,7$  мА, то  $r_{\text{к1}} \leq 95$  Ом.

Наиболее строгие ограничения на величину  $r_{\text{к1}}$  получаем при  $T_{\text{макс}} = +125^\circ\text{C}$ . Будем считать, что при нагревании от  $-60^\circ$  до  $+125^\circ\text{C}$  значения  $B_1$  и соответственно  $S_1$  увеличиваются в 3...4 раза. Тогда  $S_1 = 4 \dots 5$ ,  $U_{\text{кн1}} \approx 0,08$  В, и при  $I_{\text{кн1}} \leq 3,63$  мА (см. п. 6) получаем  $r_{\text{к1}} \leq 19$  Ом.

9. Из (2.36) и (2.34) при  $E_{\text{мин}} = 4,5$  В и  $T_{\text{мин}} = -60^\circ\text{C}$  получаем  $B_{1\text{мин}}/S_{1\text{мин}} \geq 4,9$ ,  $B_{2\text{мин}}/S_{2\text{мин}} \geq 8,1$ . Выбирая  $S_{1\text{мин}} = 1,3$  (см. п. 8), получаем условие  $B_{1\text{мин}} \geq 6,4$ , которое должно выполняться (см. п. 6) при токах  $I_{\text{к1}} = 2 \dots 4$  мА. Выбирая  $S_{2\text{мин}} = 1,3$  (см. п. 7), получаем  $B_{2\text{мин}} \geq 10,6$  при коллекторном токе  $I_{\text{к2}} = 17$  мА.

10. С помощью выражения (2.33) при  $T_{\text{мин}} = -60^\circ\text{C}$  определяем  $U_{1\text{мин}} = 2,4$  В. Из выражения (2.38) при  $N = N_1 = 10$ ,  $E_{\text{мин}} = 4,5$  В, пренебрегая сопротивлениями  $r_b$  и  $r_d = r_k$  (в качестве диода используется транзистор в диодном включении Э-БК), получаем  $I_{\text{вх макс}}/(B_{3\text{мин}} + 1) \leq 10,3$  мкА. Используя это ограничение, с помощью выражения (2.39), где принимаем  $I_{\text{вх ут}} = 0$ ,  $E_{\text{макс}} = 5,5$  В, получаем следующие требования к параметрам транзисторов:  $B'_1 \leq 0,4$ ,  $B_{3\text{мин}} \geq 5$  при токе  $I_{\text{э3}} = 60$  мкА.

При  $T_{\text{макс}} = +125^\circ\text{C}$  с помощью выражений (2.33), (2.38) с учетом  $\theta_R$  находим  $U_{1\text{мин}} = 1,8$  В,  $I_{\text{вх макс}}/(B_{3\text{мин}} + 1) < 76$  мкА. Считая, что при  $T_{\text{макс}} = +125^\circ\text{C}$  значения  $B'_1 \text{ макс} = 0,05$ ,  $B_{3\text{мин}} = 20$ , получаем из выражения (2.39) ограничение на допустимую величину тока утечки  $I_{\text{вх ут}} \leq 1,5$  мА.

11. Считаем, что предельно допустимый ток транзистора  $T_2$  в импульсном режиме  $I_{\text{к2 макс}}$  не должен превышать максимального тока  $I_{\text{к2}}$  в статическом режиме более, чем в три раза. Так как в статическом режиме ток  $I_{\text{к2}}$  не превышает 17 мА (см. п. 6), то величина  $I_{\text{э3 макс}} = I_{\text{к2 макс}} - I_{\text{к2}} = 2I_{\text{к2}}$  должна быть не более 34 мА. При выбранном значении  $R_1$ , считая  $r_d \approx r_{\text{к2}} \approx r_{\text{к3}} \approx 10$  Ом, с помощью выражений (2.45), (2.46), (2.49) при  $E_{\text{макс}} = 5,5$  В,  $T = 20^\circ\text{C}$  с учетом  $\epsilon_R$  определяем номинальное значение  $R_3 = 150$  Ом.

12. Производим предварительный выбор структуры и геометрии транзисторов и резисторов. Будем считать, что параметры элементов схемы имеют следующие значения, близкие к типовым.

Параметры транзисторов:



$B=30$ ,  $(\beta=20)$  при  $T=20^\circ\text{C}$ ;  $r_6=50$  Ом,  $r_k=10$  Ом;  $r'_6=200$  Ом,  $r'_k=100$  Ом,  $C_{эм}=1,5$  пФ,  $\tau_p=10$  нс,  $\tau_0=0,3$  нс ( $f_T=500$  МГц),  $C_3=C_k=2$  пФ для  $T_1$ ,  $C_3=C_k=4$  пФ для  $T_2$  и  $T_3$ .

Параметры диода:  $r_d=10$  Ом,  $C_d=4$  пФ.

Величины паразитных емкостей:  $C_{пм}+C_{п1}=6$  пФ,  $C_{п2}=1$  пФ,  $C_{п3}=4$  пФ,  $C_{п\text{вых}}=8$  пФ.

13. Считая  $U^0=0,1$  В,  $U^1=3,4$  В,  $U_{п1}=1,5$  В,  $U^1_{мин}=2,4$  В,  $U^0_{макс}=0,3$  В, производим расчет динамических параметров схемы.

Так как выполняется условие (2.43в), то для определения  $t_{31}$ ,  $t_{32}$  используем выражения (2.45), (2.46), считая  $t_{ф\text{вых}}=2t^{01}_{ф1}$ :  $t_{31}=4,0$  нс,  $t_{32}=5,9$  нс.

С помощью (2.47), (2.49а), (2.50а) находим  $t_{п1}=12,1$  нс,  $t^{10}_{ф1}=5,1$  нс,  $t^{10}_{ф}=8,5$  нс.

С помощью выражений (2.57), (2.61), (2.62), (2.63а) находим  $t_{р1}=2,5$  нс,  $t_{от3}=2,6$  нс,  $t_{п3}=11,1$  нс,  $t_{р2}=1,8$  нс.

Так как выполняется условие (2.56), значения  $t^{01}_{ф1}$  и  $t^{01}_{ф}$  определяем с помощью выражений (2.64а) и (2.65а):  $t^{01}_{ф1}=5,7$  нс,  $t^{01}_{ф}=22,9$  нс.

В соответствии с (2.44), (2.60) определяем длительности задержек включения и выключения:  $t^{10}_3=9,3$  нс,  $t^{01}_3=12,6$  нс. Таким образом, средняя задержка переключения схемы  $t_{зср}=11,0$  нс.

14. С помощью выражения (2.70) определяем динамическую мощность схемы при частоте переключения 10 МГц  $P_{дин}=10,7$  мВт.

Таким образом, при принятых параметрах элементов обеспечивается заданное быстродействие схемы. Расчет схемы при значениях  $R_6/R_1=2,0$ ; 3,0; 3,5 показывает, что при этом средняя задержка  $t_{зср}$  несколько возрастает, т. е. выбранная величина  $R_6/R_1=2,5$  близка к оптимальной. На этом электрический расчет схемы можно считать законченным.

## Глава 3

### МОДИФИЦИРОВАННЫЕ СХЕМЫ ТТЛ СО СЛОЖНЫМИ ИНВЕРТОРАМИ

#### 3.1. СХЕМА С ПОВЫШЕННЫМ КОЭФФИЦИЕНТОМ РАЗВЕТВЛЕНИЯ НА ВЫХОДЕ

Модификации схем со сложными инверторами позволяют улучшить некоторые параметры основной схемы (ТТЛ-3): помехоустойчивость, коэффициент разветвления на выходе, быстродействие.

Схема ТТЛ-4 с повышенным коэффициентом разветвления на выходе отличается тем, что вместо диода включен транзистор  $T_4$  с резистором  $R_4$  (рис. 3.1). Благодаря

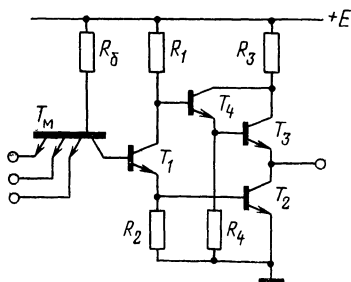


Рис. 3.1. Схема ТТЛ-4 с повышенной нагрузочной способностью.

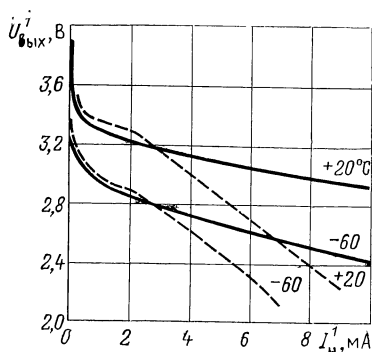


Рис. 3.2. Выходная характеристика  $U_{\text{вых}}^1 = f(I_{\text{Н}}^1)$  схемы ТТЛ-4 (—) и ТТЛ-3 (---) при  $E=5$  В.

усилению тока в транзисторе  $T_4$  высокое напряжение  $U_{\text{вых}}^1$  значительно меньше зависит от тока нагрузки  $I_{\text{Н}}^1$  (рис. 3.2). Величина  $U_{\text{вых}}^1$  при наличии тока нагрузки  $I_{\text{Н}}^1$  определяется выражением

$$U_{\text{вых}}^1 = E - I_{\text{с4}} R_1 - 2U_{\text{э0}} =$$

$$= \frac{E - U_{\text{э0}} \left( 2 + \frac{1}{B_4 + 1} \frac{R_1}{R_4} \right) - \frac{I_{\text{Н}}^1}{(B_3 + 1)(B_4 + 1)} (R_1 + r_{\text{с4}} + B_4 r_{\text{с3}})}{1 + R_1/R_4 (B_4 + 1)}, \quad (3.1)$$

а при малых токах нагрузки ( $I_{\text{Н}}^1 \approx 0$ )

$$U_{\text{вых}}^1 = E - U_{\text{э0}} - U_{\text{э3}}. \quad (3.2)$$

Как показывает сравнение выражений (3.1) и (2.22) и графиков на рис. 3.2, в схеме ТТЛ-4 напряжение  $U_{\text{вых}}^1$  зависит от тока нагрузки  $I_{\text{Н}}^1$  приблизительно в  $B_4$  раз слабее, чем в схеме ТТЛ-3. Во столько же раз возрастает коэффициент разветвления на выходе схемы по высокому уровню

$$N_1 = (B_{4\text{мин}} + 1) \frac{E - U_{\text{э0}} - (U_{\text{мин}}^1 + U_{\text{э0}}) \left( 1 + \frac{R_1}{R_4} \frac{1}{B_{4\text{мин}} + 1} \right)}{I_{\text{вх макс}}^1 \left[ \frac{R_1 (1 + \varepsilon_R) + r_{\text{б макс}}}{B_{3\text{мин}} + 1} + r_{\text{б макс}} \right]}. \quad (3.3)$$

Выходное сопротивление  $R_{\text{вых}}^1$  при высоком напряжении на выходе оказывается ниже, чем в схеме ТТЛ-3.

Выходная характеристика  $U_{\text{вых}}^0 = f(I_{\text{н}}^0)$  схемы такая же, как для схемы ТТЛ-3. Мощность, потребляемая схемой в статическом режиме, определяется выражением

$$P = E \left( \frac{E - 2U_{\text{эо}}}{R_6} + \frac{E - U_{\text{эо}}}{2R_1} + \frac{E - U_{\text{эо}}}{2R_4} \right). \quad (3.4)$$

По сравнению с ТТЛ-3 схема потребляет дополнительную мощность за счет тока резистора  $R_4$  при высоком уровне  $U_{\text{вых}}^1$  на выходе. Чтобы уменьшить потребляемую мощность, выбирают  $R_4 = (1 \dots 2) R_6$ , при этом потребляемая мощность оказывается на  $(10 \div 15) \%$  больше, чем для схемы ТТЛ-3. Чтобы избежать дополнительного потребления мощности, резистор  $R_4$  иногда присоединяют к выходу схемы [60, 61]. При этом схема потребляет такую же мощность, как и ТТЛ-3.

Передаточная и входная характеристики схемы ТТЛ-4, а также  $U_{\text{вых}}^0$ ,  $N_0$ ,  $U_{\text{п}}^0$ ,  $U_{\text{п}}^1$ ,  $\Delta U_{\text{п}}^+$ ,  $I_{\text{вх}}^0$ ,  $I_{\text{вх}}^1$  оказываются практически такими же, как для схемы ТТЛ-3.

Процесс включения схемы происходит так же, как в схеме ТТЛ-3 (рис. 2.9). При выключении схемы рассасывание в транзисторе  $T_1$  происходит так же, как и в ТТЛ-3. Промежуток времени между запирающим транзистором  $T_1$  и открыванием транзистора  $T_3$  равен

$$t_{\text{отз}} = R_1 \left( C_{\text{к1}} + C_{\text{п4}} + C_{\text{к4}} + \frac{C_{\text{пз}} + C_{\text{эз}} + C_{\text{кз}}}{\beta_4} \right) \frac{U_{\text{эз}}}{E - U_{\text{эо}}}. \quad (3.5)$$

В дальнейшем  $T_3$  и  $T_4$  работают как составной транзистор и ток через резистор  $R_3$  быстро возрастает. Транзистор  $T_4$  входит в насыщение по истечении времени  $t_{\text{н4}}$  после отпираания  $T_3$ :

$$t_{\text{н4}} = \sqrt{[2\tau_0 + (C_{\text{кз}} + C_{\text{к4}})R_3]^2 + 2 \frac{R_1(E - U_{\text{эо}})}{R_3(E - 2U_{\text{эо}})}} \times \\ \times (\tau_0 + C_{\text{кз}}R_3)(\tau_0 + C_{\text{к4}}R_3) - [2\tau_0 + (C_{\text{кз}} + C_{\text{к4}})R_3]. \quad (3.6)$$

Транзистор  $T_3$  работает в активном режиме, так как его коллекторный переход смещен в обратном направлении:  $U_{\text{кбз}} = U_{\text{кп4}}$ . Эмиттерный ток  $T_3$  после насыщения транзистора  $T_4$  равен

$$I_{\text{эз макс}} = \frac{E - 2U_{\text{эо}}}{R_1} + \frac{E - U_{\text{эо}}}{R_3 + r_{\text{к2}}} - \frac{U_{\text{эо}}}{R_4} \quad (3.7)$$

и сохраняет эту величину до окончания рассасывания избыточного заряда в транзисторе  $T_2$ . Задержка выключения  $t_3^{\text{OI}}$  определяется выражениями (2.60) — (2.64), где

вместо  $t_{н3}$  следует использовать время  $t_{н4}$ , которое существенно меньше, чем  $t_{н3}$ . Обычно величина  $t_{p2}$  оказывается больше  $t_{н4}$ . Это означает, что рассасывание избыточного заряда в транзисторе  $T_2$  заканчивается после того, как транзистор  $T_4$  войдет в насыщение, и для определения времени  $t_{p2}$  следует использовать выражение (2.63б).

Так как эмиттерный ток  $i_{э3}$  транзистора  $T_3$ , способствующий рассасыванию избыточного заряда в транзисторе  $T_2$ , возрастает значительно быстрее, чем в схеме ТТЛ-3, то при одинаковых значениях тока  $I_{э3 \text{ макс}}$  время  $t_{p2}$  оказывается в несколько раз меньше. Соответственно ниже оказывается и величина задержки выключения  $t_3^{01}$ .

Формирование фронта выключения начинается при насыщенном транзисторе  $T_4$ , так как  $t_{p2} > t_{н4}$ . Если  $C_n < (0,5 \dots 1,0) (R_1/R_3) (C_{к1} + C_{п3} + C_{к3} + C_{п4})$ , то избыточный заряд в  $T_4$  быстро рассасывается, и основная часть фронта выключения формируется транзисторами  $T_3$  и  $T_4$ , работающими в активном режиме. В этом случае значения  $t_{ф1}^{01}$ ,  $t_{ф}^{01}$  можно определить с помощью выражений (2.64а), (2.65а), где вместо эквивалентной емкости  $C_n + C_{к2} + C_{п \text{ вых}}$  следует использовать  $(C_n + C_{к2} + C_{п \text{ вых}})/\beta_4$ . Таким образом, значения  $t_{ф1}^{01}$ ,  $t_{ф}^{01}$  оказываются меньше, чем в схеме ТТЛ-3, а влияние емкости нагрузки  $C_n$  на параметры  $t_3^{01}$ ,  $t_{ф}^{01}$  значительно слабее. При больших емкостях нагрузки (сотни пикофарад), формирование фронта выключения происходит при насыщенном транзисторе  $T_4$  и для определения значений  $t_{ф1}^{01}$ ,  $t_{ф}^{01}$  можно использовать выражения (2.64б), (2.65б). Для примера укажем, что схема ТТЛ-4 при  $R_4 = 2R_6 = 7,4 \text{ кОм}$  и тех же параметрах элементов, что и схема ТТЛ-3, рассчитанная в § 2.3, потребляет мощность на 1,4 мВт больше, имеет  $t_3^{01} = 11,0 \text{ нс}$ , ( $t_{от3} = 2,2 \text{ нс}$ ,  $t_{н3} = 3,0 \text{ нс}$ ,  $t_{p2} = 1,0 \text{ нс}$ ,  $t_{ф1}^{01} = 4,8 \text{ нс}$ ), т. е. на 15% меньше, и величину  $N_1$  приблизительно в 6...7 раз больше, чем схемы ТТЛ-3.

Динамическая мощность  $P_{\text{дин}}$  схемы определяется выражением

$$P_{\text{дин}} = E f_{\Pi} [(C_{э1} + C_{э2} + C_{п2}) U_{э0} + (C_{пм} + C_{п1}) 2U_{э0} + (C_{к1} + C_{п3} + C_{к4} + C_{к3} + C_{п4}) (E - U_{э0}) + (C_{к2} + C_n) (U^1 - U^0) + I_{э3 \text{ макс}} t_0],$$

где  $t_0 = 0,33 t_{p2}^3 / t_{н4}^2$  при  $t_{p2} < t_{н4}$ ,  $t_0 = t_{p2} - 0,67 t_{н4}$  при  $t_{p2} > t_{н4}$ .

Так как время рассасывания  $t_{p2}$  меньше, чем в схеме ТТЛ-3, при одинаковой частоте переключения схема потребляет меньшую динамическую мощность.

Что касается связи параметров  $P$  и  $t_{3\text{ ср}}$ , то справедливы все замечания, сделанные в § 1.2 по отношению к схеме ТТЛ-3. Минимальная средняя задержка в схеме ТТЛ-4 достигается при меньших значениях потребляемой мощности  $P$ , так как эта схема имеет меньшее значение задержки  $t_3^{01}$ .

### 3.2. СХЕМЫ С ПОВЫШЕННЫМ БЫСТРОДЕЙСТВИЕМ

В большинстве случаев задержка выключения схем ТТЛ существенно превышает задержку включения:  $t_3^{01} > t_3^{10}$ . Поэтому особое внимание было уделено снижению величины  $t_3^{01}$ .

В схеме ТТЛ-3 существенную долю задержки выключения  $t_3^{01}$  составляет время рассасывания  $t_{p2}$  избыточно заряда в насыщенном выходном транзисторе  $T_2$ . Поэтому были предложены схемы, в которых сокращение  $t_3^{01}$  достигается уменьшением времени рассасывания  $t_{p2}$ .

Один из схемотехнических способов уменьшения времени  $t_{p2}$  состоит в увеличении тока  $I_{бp2}$ , вытекающего из базы транзистора  $T_2$  в течение времени рассасывания. Для этого в процессе выключения схемы создается низкоомный путь между базой насыщенного транзистора  $T_2$  и входом схемы, на который подан низкий потенциал. Этот путь образуется благодаря включению в схему дополнительных транзисторов или диодов.

На рис. 3.3,а представлена схема, в которой увеличение тока  $I_{бp2}$  обеспечивается диодом  $D_2$  (схема ТТЛ-3рд). Этот способ предложен в работе [62] для уменьшения задержки  $t_3^{01}$  в схеме ДТЛ со сложным инвертором. Аналогичное включение диода  $D_2$  можно использовать для уменьшения времени  $t_{p2}$  в схеме ТТЛ-4.

Диод должен удовлетворять следующим требованиям \*:

---

\* Структура диода, обеспечивающая выполнение этих требований, описана в [62].

накапливать в открытом состоянии большой заряд, чем в насыщенном транзисторе  $T_2$ , т. е. иметь  $\tau_d \gg \tau_r$ ;

иметь падение напряжения в открытом состоянии приблизительно на 0,1 В больше, чем на открытом эмиттерном переходе транзистора  $T_1$ :  $U_{до} > U_{эо}$ ;

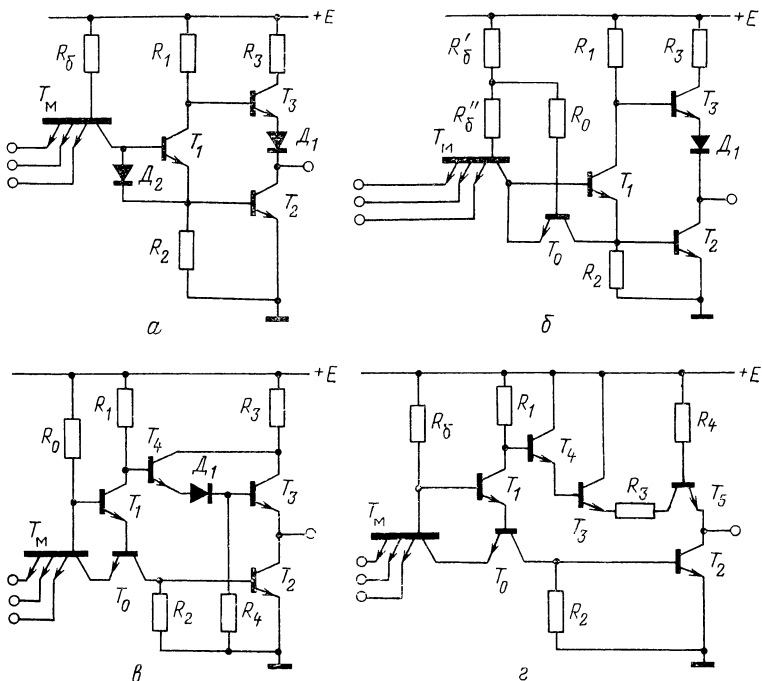


Рис. 3.3. Схемы с форсированным рассасыванием избыточного заряда в выходном транзисторе: ТТЛ-Зрд с рассасывающим диодом (а), ТТЛ-Зрт с рассасывающим транзистором (б), ТТЛ-5 (в), ТТЛ-6 (г)

иметь малые омическое сопротивление  $r_d$  и емкость  $C_d$ .

При высоком напряжении  $U^1$  на всех входах диод  $D_2$  благодаря повышенному значению  $U_{до}$ , не слишком шунтирует эмиттерный переход открытого транзистора  $T_1$ :  $I_{д2} \ll I_{б1}$ . В то же время, благодаря большой постоянной времени  $\tau_d$  в диоде  $D_2$  накапливается значительный заряд  $Q_d$ , превышающий избыточный заряд  $Q_0$  в насыщенном транзисторе  $T_2$ . При уменьшении входного напряжения до  $U^0$  через диод  $D_2$  открывается дополнительный

низкоомный путь для тока  $I_{бр2}$  вытекающего из базы транзистора  $T_2$ . Величина тока  $I_{бр2}$  значительно больше, чем в схеме ТТЛ-3, поэтому время рассасывания  $t_{р2}$  избыточного заряда в транзисторе  $T_2$  в несколько раз меньше. Так как  $Q_d > Q_0$ , то диод  $D_2$  пропускает ток в течение всего времени  $t_{р2}$ . Таким образом, задержка выключения  $t_3^{01}$  в этой схеме меньше, чем в схеме ТТЛ-3.

На рис. 3.3,б показана схема, в которой низкоомная цепь для протекания тока  $I_{бр2}$  создается транзистором  $T_0$  (схема ТТЛ-3рт) [63]. При высоком напряжении  $U^1$  на всех входах транзистор  $T_0$  находится в инверсном активном режиме. При уменьшении напряжения на входе от  $U^1$  до  $U^0$  эмиттерный переход  $T_0$  открывается и транзистор оказывается в режиме насыщения. Через  $T_m$  и  $T_0$  из баз насыщенных транзисторов  $T_1$  и  $T_2$  начинают вытекать значительные токи  $I_{бр1}$  и  $I_{бр2}$ . При малых сопротивлениях  $r_{к0}$ ,  $r'_{к}$  величина тока  $I_{бр2}$  значительно больше, чем в схеме ТТЛ-3, т. е. обеспечивается уменьшение времени рассасывания  $t_{р2}$  и задержки выключения  $t_3^{01}$ . Остальные параметры близки к соответствующим параметрам схемы ТТЛ-3.

Другой способ уменьшения времени рассасывания  $t_{р2}$  и задержки  $t_3^{01}$  использован в схеме ТТЛ-5, показанной на рис. 3.3,в [64]. При высоком напряжении на всех входах транзистор  $T_0$  работает в инверсном режиме, накапливая заряд у коллекторного перехода. При уменьшении входного напряжения до низкого уровня транзистор  $T_0$  оказывается в режиме насыщения и создает низкоомный путь для тока  $I_{бр2}$ , вытекающего из базы насыщенного транзистора  $T_2$ . Схема обеспечивает такой же выигрыш в быстродействии, как и схема ТТЛ-3рт.

Особенностью схемы по сравнению с другими схемами, рассмотренными выше, является повышенная величина напряжения на коллекторе транзистора  $T_1$  при низком потенциале  $U^0$  на выходе:

$$U_{к1} = U_{э0} + U_{к0} + U_{кн1}. \quad (3.8)$$

Чтобы при этом обеспечить запираание транзистора  $T_3$ , в цепь базы  $T_3$  включен дополнительный  $p-n$  переход. В результате схема имеет пониженное значение высокого уровня на выходе

$$U_{вых}^1 \approx E - 2U_{э0} - U_{до}, \quad (3.9)$$

которое приблизительно на величину  $U_{э0}$  меньше, чем в схеме ТТЛ-3 и в схеме, показанной на рис. 3.3,б. Соот-

ветственно снижается помехоустойчивость  $\Delta U_{\text{п}}^-$  схемы либо для сохранения величины  $\Delta U_{\text{п}}^-$  требуются повышенные значения напряжения питания  $E$ .

Для устранения указанного недостатка в работе [62] предложена другая конфигурация выходной цепи инвертора (схема ТТЛ-6, рис. 3.3,2). При низком потенциале  $U^0$  на входах транзисторы  $T_1, T_2$  закрыты, транзисторы  $T_3, T_4$  работают в активном режиме, а транзистор  $T_5$  насыщен. На выходе схемы поддерживается высокий потенциал:

$$U_{\text{вых}}^1 = E - U_{\text{зо}} - I_{\text{н}} R_4. \quad (3.10)$$

При токах нагрузки  $I_{\text{н}} < (U_{\text{зо}}/R_4)$  схема имеет более высокие значения  $U^1$  и  $\Delta U_{\text{п}}$ , чем схема ТТЛ-3. Резистор  $R_3$  (сопротивление десятки или сотни ом) служит для ограничения тока через транзисторы  $T_3, T_4, T_5$  в процессе переключения схемы. При низком потенциале на выходе схемы ТТЛ-6 транзистор  $T_5$  открыт и пропускает ток  $I_{\text{зс}}$ , протекающий в коллектор транзистора  $T_2$ . В результате схема потребляет большую мощность и имеет повышенное значение  $U_{\text{вых}}^0$  по сравнению со схемами ТТЛ-3, ТТЛ-5.

В схемах ТТЛ, рассмотренных в этом параграфе, ток  $I_{\text{бр2}}$  во время рассасывания заряда протекает в основном через дополнительный транзистор или диод, а не через резистор  $R_2$ . Поэтому можно, не ухудшая быстродействия, увеличить сопротивление  $R_2$ , чтобы получить отношение  $R_1/R_2 \leq 0,5$ . При этом в соответствии с (2.8) величина  $U_{\text{пр}}^1$  приближается к  $U^1$ , т. е. улучшается передаточная характеристика схемы и повышается помехоустойчивость  $\Delta U_{\text{п}}^+$ . Кроме того, при увеличении  $R_2$  возрастает нагрузочная способность  $N_1$ .

Другой способ сокращения времени  $t_{\text{р2}}$  состоит в уменьшении избыточного заряда, накапливаемого в насыщенном транзисторе  $T_2$ . Схема ТТЛ-3н с ненасыщенным выходным транзистором  $T_2$  показана на рис. 3.4,а [52]. Транзистор  $T_1$  с двумя эмиттерами действует так же, как в схеме ТТЛ-2н, описанной в § 1.3. При высоком напряжении на всех входах схемы ток одного из эмиттеров транзистора  $T_1$  поступает в коллектор транзистора  $T_2$  и препятствует его насыщению. Задержка выключения этой схемы равна

$$t_3^{01} = t_{\text{р1}} + t_{\text{от3}} + t_{\text{ф}}^{01}, \quad (3.11)$$



где  $t_{p1}$  — время рассасывания избыточного заряда в  $T_1$ ,  $t_{отз}$  — время отпираания транзистора  $T_3$ ,  $t_{\phi 1}^{01}$  — время нарастания выходного потенциала до порога переключения  $U_{п.}$  Эти времена определяются так же, как в схеме ТТЛ-3 (§ 2.2). Величина  $t_3^{01}$  оказывается ниже, чем в других схемах, рассмотренных в настоящем параграфе.

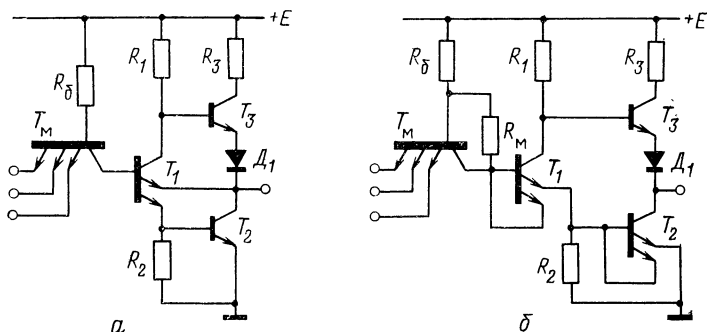


Рис. 3.4. Схемы ТТЛ-Зн с ненасыщенным транзистором  $T_2$  (а) и ТТЛ-Зм с пониженной степенью насыщения транзисторов  $T_1$  и  $T_2$  (б)

Недостатком этой схемы является повышенное значение потенциала  $U_{вых}^0$ . Величина  $U_{вых}^0$  соответствует падению напряжения коллектор—эмиттер транзистора  $T_2$ , находящегося на границе насыщения и составляет 0,5... 0,6 В при  $T=20^\circ\text{C}$ . В результате помехоустойчивость  $\Delta U_{п}^+$  на 0,2... 0,3 В ниже, чем в схеме ТТЛ-3. Остальные параметры схемы такие же, как у схемы ТТЛ-3.

На рис. 3.4,б показан модернизированный вариант схемы ТТЛ-3м [65], который используется в микросхемах, изготавливаемых по технологии ИДК (§ 1.2). Используемые в схеме транзисторы  $T_1$  и  $T_2$  имеют по два эмиттера, один из которых подключен к базе. Как показано в § 1.3 (схема ТТЛ-1м), такое включение обеспечивает снижение тока базы насыщенного транзистора и накопленного в нем избыточного заряда в  $(B_I+1)$  раз, где  $B_I > 1$ . Поэтому существенно сокращаются времена рассасывания  $t_{p1}$ ,  $t_{p2}$  и соответственно уменьшается задержка выключения  $t_3^{01}$ .

Резистор  $R_m$  включается так же, как в схеме ТТЛ-1м, для снижения величины входных токов  $I_{вх}^1$ , и его сопротивление выбирается в соответствии с условиями (1.46) — (1.48).

Для уменьшения задержки  $t_3^{10}$  в схеме ТТЛ-3 можно использовать такой же способ включения дополнительного транзистора, как в схеме ТТЛ-2т. Соответствующая схема ТТЛ-3т показана на рис. 3.5 [66]. Дополнительный транзистор  $T_0$  открывается в процессе включения схемы после отпирания  $T_1$  и обеспечивает быстрое возрастание коллекторного тока транзистора  $T_1$ , который заряжает паразитные емкости на базе транзистора  $T_2$ . Таким образом, заряд емкостей ускоряется, т. е. сокращается время отпирания  $t_{32}$  транзистора  $T_2$  и соответственно уменьшается время задержки  $t$ .

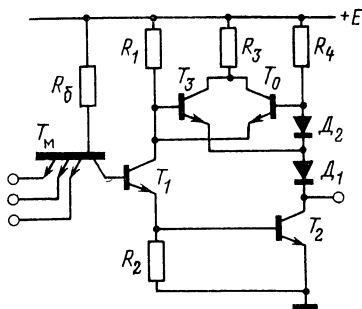


Рис. 3.5. Схема ТТЛ-3т с уменьшенной задержкой включения.

Когда на выходе схемы устанавливается низкое напряжение  $U_{\text{вых}}^0 = U_{\text{кн2}}$ , транзистор  $T_0$  остается открытым и обеспечивает дополнительный ток в базу  $T_2$ . При увеличении тока нагрузки  $I_{\text{н}}^0$ , когда напряжение  $U_{\text{вых}}^0$  повышается, транзистор  $T_0$  открывается больше, дополнительный ток в базу  $T_2$  возрастает, препятствуя повышению выходного напряжения. Таким образом, транзистор  $T_0$  обеспечивает также повышение коэффициента разветвления  $N_0$ .

При высоком напряжении  $U_{\text{вых}}^1$  на выходе, когда транзисторы  $T_1$  и  $T_2$  закрыты, транзистор  $T_0$  тоже закрыт, т. е. схема работает как ТТЛ-3. Недостатком схемы является потребление от источника питания дополнительного тока, как при низком напряжении на выходе (ток через резистор  $R_4$  и коллекторный ток транзистора  $T_0$ ), так и при высоком напряжении  $U_{\text{вых}}^1$  (ток через резистор  $R_4$ ). В результате повышается потребляемая мощность.

### 3.3. СХЕМЫ С ПОВЫШЕННОЙ ПОМЕХОУСТОЙЧИВОСТЬЮ

Особенностью рассмотренных выше схем со сложным инвертором является наличие на их передаточной характеристике промежуточного пологого участка II

(рис. 2.3). При этом, как показано в § 2.1, требуется повысить напряжение питания  $E$  для выполнения условий (2.266), (2.296), либо уменьшить помехоустойчивость схемы, если эти условия не выполняются. Таким образом, для повышения помехоустойчивости схем ТТЛ со сложным инвертором следует улучшить их передаточную характеристику путем устранения промежуточного плато участка, т. е. путем повышения значения  $U^1_{пр}$  до уровня  $U^1$ .

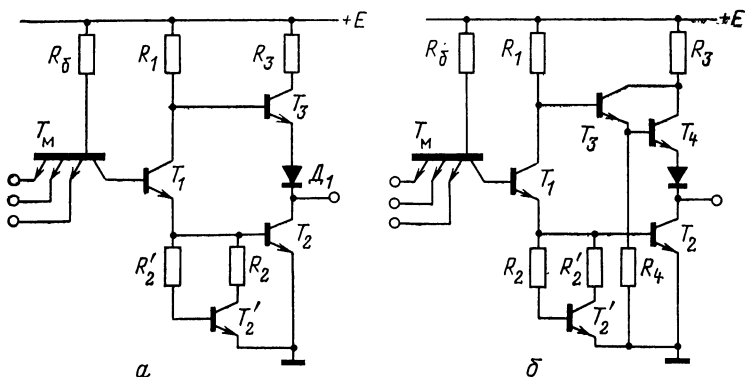
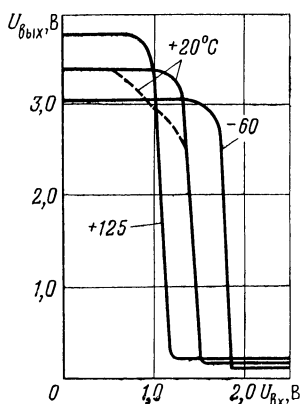


Рис. 3.6. Схемы ТТЛ-3у (а) и ТТЛ-4у (б) с улучшенной передаточной характеристикой.

Схема ТТЛ-3у с улучшенной передаточной характеристикой представлена на рис. 3.6 [54, 67]. В схему дополнительно включены транзистор  $T'_2$  и резистор  $R'_2$ .



Передаточные характеристики схем показаны на рис. 3.7. Когда хотя бы на один из входов схемы подано низкое напряжение  $U_{вх} < U^0_{пр}$ , транзисторы  $T_1$ ,  $T_2$ ,  $T'_2$  закрыты и на выходах поддерживается высокое напряжение  $U^1_{вых}$  такой же величины, как в схеме ТТЛ-3. При

Рис. 3.7. Передаточные характеристики схем ТТЛ-3у (—) и ТТЛ-3 (---) при  $E=5$  В,  $n=1$ .

увеличении  $U_{\text{вых}}$ , когда  $U_{\text{п пр}}^0 < U_{\text{вх}} < U_{\text{п}}^0$ , эмиттерный переход транзистора  $T_1$  открывается, однако коллекторный и эмиттерный токи  $T_1$  не могут протекать до отпирания транзисторов  $T_2, T'_2$ . Поэтому напряжение на коллекторе  $T_1$  не изменяется и напряжение на выходе схемы сохраняется равным  $U_{\text{вых}}^1$ . Когда напряжение  $U_{\text{вх}}$  достигает порога включения

$$U_{\text{п}}^0 \approx 2U_{\text{эз}} - U'_{\text{кэ0}}, \quad (3.12)$$

открываются транзисторы  $T_2$  и  $T'_2$ . Начинают течь коллекторные токи транзисторов  $T_1$  и  $T_2$ , вследствие чего напряжение на выходе схемы резко уменьшается. При  $U_{\text{вх}} \geq U_{\text{п}}^1$  транзисторы  $T_1, T_2, T'_2$  насыщены, и на выходе поддерживается низкое напряжение  $U_{\text{вых}}^0$ , как и в схеме ТТЛ-3. Помехоустойчивость схемы ТТЛ-3у определяется выражением

$$\Delta U_{\text{п}}^+ = \Delta U_{\text{п}} = U_{\text{п}}^0 - U^0 = 2U_{\text{эз}} - U'_{\text{кэ0}} - U^0. \quad (3.13)$$

Как показывает сравнение выражений (3.13) и (2.27), (2.30), схема обеспечивает существенный выигрыш в помехоустойчивости при пониженном напряжении питания и минимальной рабочей температуре. Так, при  $T = -60^\circ\text{C}$  и  $E_{\text{мин}} = 4,5\text{ В}$  для схемы ТТЛ-3у  $\Delta U_{\text{п}}^+ > 1\text{ В}$ , для схемы ТТЛ-3  $\Delta U_{\text{п}}^+ = 0,5 \dots 0,6\text{ В}$ .

При низком напряжении  $U_{\text{вых}}^0$  на выходе схемы насыщенный транзистор  $T'_2$  пропускает часть эмиттерного тока  $T_1$ , уменьшая тем самым базовый ток выходного транзистора  $T_2$  аналогично резистору  $R_2$  в схеме ТТЛ-3:

$$I_{\text{бн2}} = I_{\text{э1}} - I'_{\text{э2}} = I_{\text{э1}} - (I'_{\text{бн2}} + I'_{\text{кн2}}).$$

Значения токов  $I'_{\text{бн2}}, I'_{\text{кн2}}$  определяются выражениями:

$$I'_{\text{бн2}} = (U_{\text{э02}} - U'_{\text{э02}})/R'_2, \quad I'_{\text{кн2}} = (U_{\text{э02}} - U'_{\text{кн2}})/R_2.$$

Приближенно можно считать  $I'_{\text{э2}} \approx U_{\text{э02}}/(R_2 + r'_{\text{к2}})$ . Тогда для определения коэффициента разветвления на выходе схемы  $N = N_0$  можно использовать выражение (2.34), заменив  $R_2$  на  $R_2 + r'_{\text{к2}}$ . Таким образом, при  $R_2 = R_2 + r'_{\text{к2}}$  схемы ТТЛ-3 и ТТЛ-3у имеют близкие значения коэффициента разветвления  $N$ .

Соотношение сопротивлений  $R_2$  и  $R'_2$  определяется из условия обеспечения требуемого насыщения транзистора  $T'_2$  в наихудшем случае

$$B'_2 I'_{\text{бн}2} > S_{\text{мин}} I'_{\text{кн}2},$$

где  $S_{\text{мин}} \approx 1,3 \dots 1,5$ .

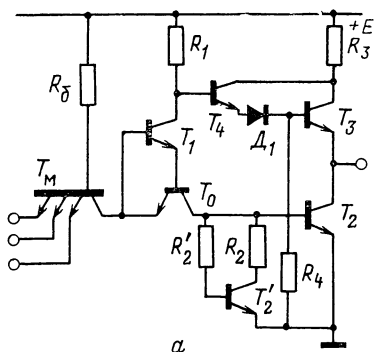
Параметры  $U^0_{\text{вых}}$ ,  $U^1_{\text{вых}}$ ,  $U^0_{\text{п пр}}$ ,  $U^1_{\text{п}}$ ,  $\Delta U_{\text{п}}^-$ ,  $N_1$ ,  $P$  для схем ТТЛ-3 и ТТЛ-3у практически одинаковы.

Схема ТТЛ-3у имеет меньшее значение  $t_3^{01}$ , чем схема ТТЛ-3. Так как сопротивление  $R_2$  в схеме ТТЛ-3у не влияет на помехоустойчивость, то можно уменьшать величину  $R_2$ , увеличивая тем самым ток  $I_{\text{бп}2} = I'_{\text{з}2}$ . При этом уменьшается время рассасывания  $t_{\text{р}2}$  избыточного заряда в выходном транзисторе  $T_2$  и соответственно снижается величина задержки выключения  $t_3^{01}$ .

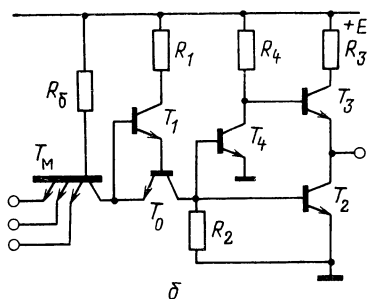
Аналогичное включение дополнительного транзистора  $T'_2$  можно произвести и в схеме ТТЛ-4 (схема ТТЛ-4у, рис. 3.6,б) [80]. При этом достигаются те же результаты, что и в схеме ТТЛ-3у.

Более существенное повышение помехоустойчивости схем можно получить либо увеличением порогов переключения, либо созданием гистерезиса на передаточной характеристике. Увеличение порогов переключения при сохранении значений  $U^0_{\text{вых}}$ ,  $U^1_{\text{вых}}$  приводит к возрастанию помехоустойчивости  $\Delta U_{\text{п}}^+$  и к понижению помехоустойчивости  $\Delta U_{\text{п}}^-$ . Чтобы сохранить высокое значение  $\Delta U_{\text{п}}^-$ , необходимо наряду с увеличением порогов повышать напряжение  $U^1_{\text{вых}}$ . Простейший способ повышения  $U^1_{\text{вых}}$  состоит в увеличении напряжения питания  $E$ , однако при этом возрастает потребляемая схемой мощность.

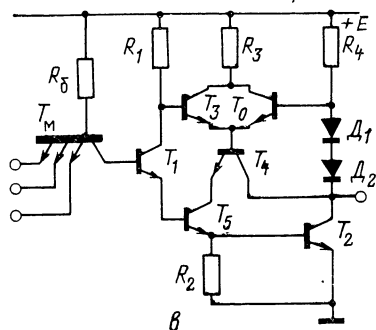
На рис. 3.8,а показан вариант схемы ТТЛ-5, обладающий повышенным порогом переключения (схема ТТЛ-5п), в котором база транзистора  $T_1$  подключена к эмиттеру транзистора  $T_0$ , ускоряющего рассасывание [64]. В результате пороги переключения  $U^0_{\text{п}}$  и  $U^1_{\text{п}}$  оказываются на величину  $U_{\text{к}0}$  больше, чем в схемах ТТЛ-3, ТТЛ-5 и др. На столько же возрастает помехоустойчивость  $\Delta U_{\text{п}}^+$  и снижается помехоустойчивость  $\Delta U_{\text{п}}^-$ . В схему включен также транзистор  $T'_2$ , чтобы исключить промежуточный участок  $II$  на передаточной характеристике. Чтобы сохранить высокое значение  $\Delta U_{\text{п}}^-$ , не повышая напряжения питания  $E$ , можно использовать моди-



а



б



в

Рис. 3.8. Схемы ТТЛ-5п (а), ТТЛ-5пм (б), ТТЛ-6п (в) с повышенным порогом переключения.

фицированный вариант инвертора (схема ТТЛ-5пм, рис. 3.8,б) [68]. Схема имеет улучшенную передаточную характеристику без промежуточного участка II (рис. 3.9). Кроме того, напряжение  $U_{\text{вых}}^1$  на ее выходе оказывается приблизительно на величину  $U_{\text{зо}}$  больше, чем в

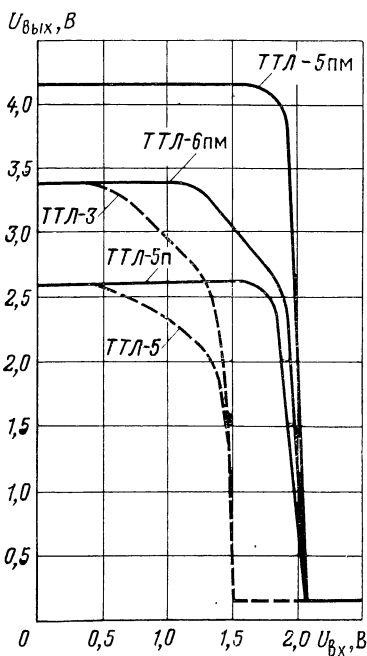


Рис. 3.9. Передаточные характеристики схем при  $E=5$  В,  $T=20^\circ\text{C}$ ,  $n=1$ .

схеме ТТЛ-3. В результате эта схема обеспечивает повышенную помехоустойчивость ( $\Delta U_{\text{п}} \geq 1$  В) во всем диапазоне рабочих условий. Однако повышение помехоустой-

чивости достигается за счет увеличения задержки включения  $t_3^{10}$  и потребляемой мощности, снижается также коэффициент разветвления  $N_0$ , так как уменьшается ток базы  $T_2$  из-за распределения коллекторного тока транзистора  $T_0$  между базами  $T_2$  и  $T_4$ .

В схеме ТТЛ-6пм с повышенным порогом (рис. 3.8,в) [66] достигается почти такая же высокая помехоустойчивость, как в схеме ТТЛ-5пм. При этом схема имеет меньшую задержку  $t_3^{10}$  благодаря включению транзистора  $T_0$ , который ускоряет отпирание транзистора  $T_2$ , действуя так же, как в схеме ТТЛ-3т (рис. 3.5). Данная схема имеет также более высокий коэффициент разветвления на выходе, чем ТТЛ-5пм, однако потребляет мощность значительно большую, чем ТТЛ-3.

Для сравнения на рис. 3.9 показаны типовые передаточные характеристики схем ТТЛ-3, ТТЛ-5, ТТЛ-5п, ТТЛ-5пм, ТТЛ-6пм. Как видно из графиков, схемы на рис. 3.8 имеют порог переключения на 0,6...0,7 В больше, чем схемы ТТЛ-3. Наибольшую помехоустойчивость обеспечивает схема ТТЛ-5пм.

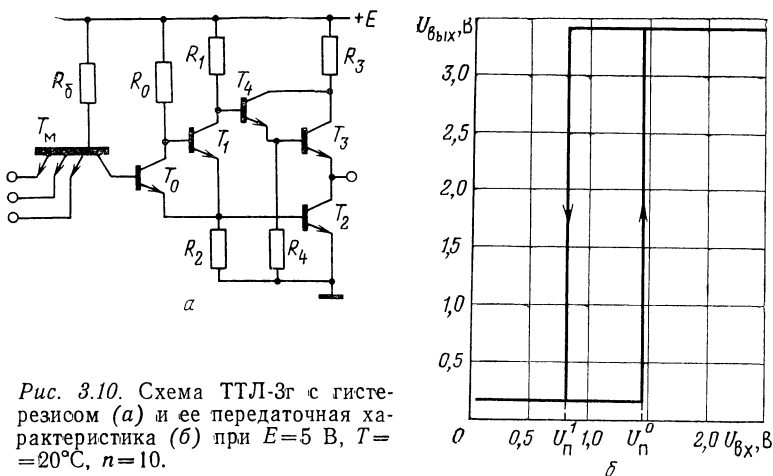


Рис. 3.10. Схема ТТЛ-3г с гистерезисом (а) и ее передаточная характеристика (б) при  $E=5$  В,  $T=20^\circ\text{C}$ ,  $n=10$ .

Схема ТТЛ-3г с гистерезисом на передаточной характеристике показана на рис. 3.10,а. Так как в схему включен инвертирующий транзистор  $T_0$ , она выполняет логическую операцию И. Передаточная характеристика схемы показана на рис. 3.10,б.

При низком напряжении  $U_{вх} < U_{п}^0$  хотя бы на одном из входов схемы транзистор  $T_0$  закрыт. Транзисторы  $T_1$  и  $T_2$  открыты и на-

сыщены, транзисторы  $T_3$  и  $T_4$  заперты, и на выходе поддерживается низкое напряжение  $U_{\text{вых}}^0$ . При повышении напряжения транзистор  $T_0$  открывается и входит в режим насыщения, когда

$$U_{\text{вх}} = U_{\text{п}}^0 = 2U_{\text{зо}} - U_{\text{кнм}}. \quad (3.14)$$

Транзистор  $T_1$  запирается, и на базе транзистора  $T_2$  устанавливается потенциал

$$U_{\text{б2}} = \frac{(E - U'_{\text{ко}} - U_{\text{зо}}) R_2 / R_6 + (E - U_{\text{кн0}}) R_2 / R_0}{1 + R_2 / R_6 + R_2 / R_0}. \quad (3.15)$$

Отношения  $(R_2 / R_6) \ll 1$ ,  $(R_2 / R_0) \ll 1$  выбираются таким образом, чтобы обеспечить  $U_{\text{б2}} < U_{\text{зз}}$ . Поэтому транзистор  $T_2$  запирается, транзисторы  $T_3$  и  $T_4$  открываются и на выходе устанавливается высокое напряжение  $U_{\text{вых}}^1$ .

При уменьшении входного напряжения транзистор  $T_0$  выходит из режима насыщения и запирается, когда  $U_{\text{вх}}$  достигает значения

$$U_{\text{вх}} = U'_{\text{п}} \approx U_{\text{зз}} - U'_{\text{кз0}} + U_{\text{б2}}, \quad (3.16)$$

где  $U_{\text{б2}}$  определяется выражением (3.15). Транзисторы  $T_1$  и  $T_2$  при этом открываются и входят в режим насыщения, транзисторы  $T_3$  и  $T_4$  запираются и на выходе устанавливается напряжение  $U_{\text{вых}}^0$ .

Помехоустойчивость схемы составляет  $\Delta U_{\text{п}}^+ = 1,0 \dots 1,2$  В,  $\Delta U_{\text{п}}^- = 1,5 \dots 1,8$  В при  $T = 20^\circ\text{C}$ ,  $\Delta U_{\text{п}}$  не менее  $0,7 \dots 0,8$  В в полном диапазоне рабочих условий, что значительно выше, чем для схемы ТТЛ-3. Средняя мощность, потребляемая схемой, приблизительно на величину  $\Delta P = E(E - U_{\text{зо}}) / R_0$  больше, а быстродействие несколько ниже, чем схемы ТТЛ-3.

Включением дополнительного транзистора  $T_0$  можно получить гистерезис на передаточной характеристике схемы ТТЛ-4 [69].

Логические схемы И не обладают функциональной полнотой, т. е. не обеспечивают выполнения любых логических операций. Поэтому в серии интегральных микросхем, содержащей схемы И ТТЛ-3г или ТТЛ-4г, обязательно должны быть схемы И—НЕ.

На рис. 3.11 показана схема И—НЕ, в которой используется обратная связь для получения гистерезиса на передаточной характеристике [70]. В этой схеме (ТТЛ-3ос) транзистор  $T_3$  имеет два эмиттера, к одному из которых подключена цепь обратной связи, состоящая из транзистора  $T_0$  с резисторами  $R_0$  и  $R_{\text{к}}$ . При низком напряжении на входе транзистор  $T_0$  оказывается в насыщении. При повышении напряжения на входе коллекторный ток транзистора  $T_0$  возрастает и создает дополнительное падение напряжения на резисторе  $R_{\text{м}}$ , вызывая тем самым увеличение порога включения схемы. В результате значения  $U_{\text{п пр}}^0$  и  $U_{\text{п}}^0$  в этой схеме оказываются соответственно на  $U_{\text{зз}}(R_{\text{м}} / R_{\text{к}})$  и  $(U_{\text{зо}} + U_{\text{зз}})R_{\text{м}} / R_{\text{к}}$  больше, чем в схеме ТТЛ-3. После отпираания транзистора  $T_2$ , когда транзистор  $T_1$  оказывается в насыщении, транзисторы  $T_3$  и  $T_0$  запираются. При этом схема рабо-





Применение диодов и транзисторов Шоттки в схемах ТТЛ позволяет существенно уменьшить либо полностью исключить время рассасывания избыточного заряда в транзисторах схемы и тем самым снизить величину задержки выключения  $t_3^{01}$ .

На рис. 3.12 показана схема, в которой между базой выходного транзистора  $T_2$  и входами схемы включены диоды Шоттки (схема ТТЛ-Здш) [71, 45]. При высоком напряжении  $U^1$  на входах все диоды Шоттки закрыты, транзисторы  $T_1$  и  $T_2$  находятся в режиме насыщения, и данная схема работает, как схема ТТЛ-3, обеспечивая на выходе низкое напряжение  $U_{\text{вых}}^0$ . При уменьшении напряжения на каком-либо входе до уровня  $U^0$  открывается соответствующий диод Шоттки, так как разность потенциалов на базе насыщенного транзистора  $T_2 (U_{\text{зо}})$  и на входе ( $U^0$ ) обычно больше напряжения отпирания:  $U_{\text{зо}} - U^0 > U_{\text{дшз}}$ . Через диод создается низкоомный путь для тока, вытекающего из базы транзистора  $T_2$ .

$$I_{\text{бр2}} = U_{\text{зо}}/R_2 + (U_{\text{зо}} - U_{\text{дшо}} - U^0)/(r_{\text{б2}} + r_{\text{дш}}). \quad (3.17)$$

При малом сопротивлении  $r_{\text{дш}}$  диода Шоттки величина  $I_{\text{бр2}}$  оказывается существенно больше, чем в схеме ТТЛ-3, а время рассасывания заряда  $t_{\text{р2}}$  в транзисторе  $T_2$  меньше. По окончании рассасывания заряда в транзисторе  $T_2$  напряжение на его базе понижается, и диод Шоттки запирается. Далее схема работает так же, как ТТЛ-3, и на ее выходе устанавливается высокое напряжение  $U_{\text{вых}}^1$ . Таким образом, схема обеспечивает пониженные значения задержки  $t_3^{01}$ , в то время как остальные ее параметры остаются такими же, как для схемы ТТЛ-3. Однако данная схема имеет ряд недостатков. В схеме остается задержка  $t_{\text{р1}}$ , связанная с рассасыванием заряда в насыщенном транзисторе  $T_1$ , которая в быстродействующих схемах может составлять заметную часть времени задержки выключения.

При повышенном значении низкого потенциала  $U^0$  на выходе предыдущей схемы ( $U_{\text{вх}}^0 = 0,4 \dots 0,5 \text{ В}$ ) диод Шоттки в процессе выключения не открывается и сокращение задержки не происходит. Вследствие возрастания величины  $U^0$  и сопротивлений  $r_{\text{б2}}$ ,  $r_{\text{дш}}$  эффективность действия диода Шоттки снижается при высокой рабочей температуре, т. е. именно тогда, когда время рассасывания  $t_{\text{р2}}$  увеличивается из-за возрастания  $\tau_{\text{р}}$ . Этот недостаток отсутствует в схемах с транзисторами Шоттки.

На рис. 3.13,а представлена схема ТТЛ-3тш, в которой вместо обычных транзисторов включены транзисторы Шоттки. Передаточная характеристика схемы показана на рис. 3.14. По принципу действия эта схема близка к схеме ТТЛ-3, однако благодаря использованию транзисторов Шоттки, она имеет ряд существенных особенностей.

Как отмечено в § 1.2, интегральные схемы с транзисторами Шоттки не легируют золотом, вследствие чего транзисторы

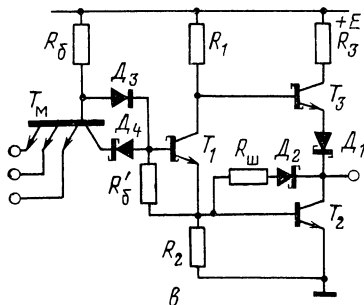
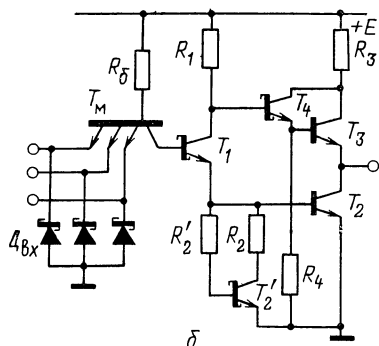
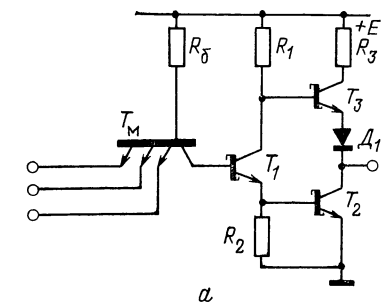


Рис. 3.13. Схемы с транзисторами Шоттки: ТТЛ-3тш (а), ТТЛ-4тш с улучшенной передаточной характеристикой (б), ТТЛ-3тшп с повышенным порогом переключения (в).

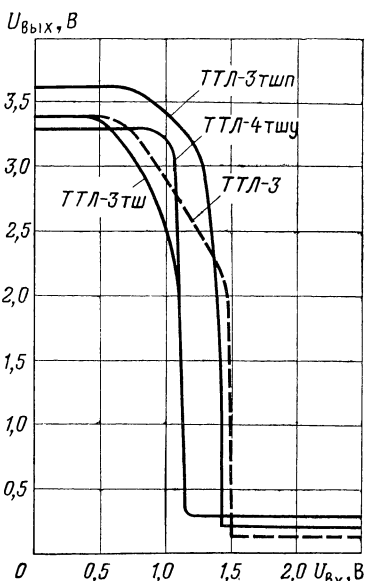


Рис. 3.14. Передаточные характеристики схем с транзисторами Шоттки (—) и схемы ТТЛ-3 (---) при  $E = 5$  В,  $T = 20^\circ\text{C}$ ,  $n = 10$ .

В схемах имеют высокие значения как прямого, так и инверсного коэффициентов усиления. Высокие значения коэффициента  $B'_I$  в транзисторе  $T_m$ , согласно выражениям (2.19), (2.21) вызывают значительное возрастание входных токов  $I'_{вх}$  схемы и соответственно уменьшение коэффициента разветвления на входе  $N_1$ . Для уменьшения токов  $I'_{вх}$  в схеме ТТЛ-3тш коллекторный переход  $T_m$  шунтирован диодом Шоттки, т. е. используется многоэмиттерный транзистор Шоттки, имеющий в соответствии с выражением (1.24) малый эквивалентный коэффициент усиления  $B'_{I_{экв}}$ . Величина  $B'_{I_{экв}}$  не превышает значений  $B_I$  в многоэмиттерных транзисторах, легированных золотом ( $B'_{I_{экв}} \leq B'_I \leq \leq 0,05$ ), и входные токи в схеме ТТЛ-3тш имеют приблизительно такую же величину, как в схеме ТТЛ-3.

Падение напряжения на многоэмиттерном транзисторе Шоттки в насыщенном состоянии приблизительно на 0,2 В больше, чем на обычном. Поэтому в соответствии с выражениями (2.7), (2.9) пороги переключения  $U^0_{п}$ ,  $U^1_{п}$  в схеме ТТЛ-3тш оказываются ниже, чем в схеме ТТЛ-3, и составляют  $U^0_{п} = 1,0 \dots 1,2$  В,  $U^1_{п} = 1,2 \dots 1,4$  В при  $T = 20^\circ\text{C}$ . Кроме того, схема ТТЛ-3тш имеет повышенное значение напряжения  $U^0_{вых} = U_{кнш}$ , так как падение напряжения на насыщенном выходном транзисторе Шоттки приблизительно на 0,2 В выше, чем на выходном транзисторе в схеме ТТЛ-3.

Понижение порога переключения  $U^0_{п}$  и повышение напряжения  $U^0_{вых}$  приводят к уменьшению помехоустойчивости, которая для схемы ТТЛ-3тш составляет  $\Delta U^+_{п} = \Delta U_{п} = 0,7 \dots 0,8$  В при  $T = 20^\circ\text{C}$  и снижается до  $0,2 \dots 0,3$  В в диапазоне температур  $-60^\circ \dots +125^\circ\text{C}$ . Таким образом, помехоустойчивость этой схемы приблизительно на 0,3 В ниже, чем схемы ТТЛ-3. Коэффициент разветвления на выходе схем ТТЛ-3тш и ТТЛ-3 приблизительно одинаков.

Повышение быстродействия схемы ТТЛ-3тш обусловлено несколькими причинами. Во-первых, при низком напряжении  $U^0$  на входе напряжение на базе транзистора  $T_1$  равно  $U_{б1} = U^0 + U'_{кэ0ш}$  и близко к величине  $U_{эз}$ , так как значения  $U^0$  и  $U'_{кэ0ш}$  определяемые падениями напряжения на транзисторах Шоттки больше, чем в ТТЛ-3. Транзистор  $T_1$  находится на границе отпирания и задержка его отпирания  $t_{з1}$  мала. Во-вторых, в транзисторах Шоттки не накапливается избыточный заряд, по-

этому исключается задержка, связанная с его рассасыванием в транзисторах  $T_1, T_2$ :  $t_{p1}=t_{p2}=0$ . В третьих, транзисторы в схеме, не легированные золотом, имеют большие значения коэффициента усиления  $B$ . В результате, в соответствии с выражениями (2.49), (2.50), (2.64), (2.65), уменьшаются времена нарастания и спада выходного потенциала  $t_{\phi 1}^{01}, t_{\phi 1}^{10}, t_{\phi}^{01}, t_{\phi}^{10}$  особенно при большой емкости нагрузки.

Уменьшение времен  $t_{31}$  и  $t_{\phi 1}^{10}$  приводит к сокращению задержки включения  $t_3^{10}$ , а исключение  $t_{p1}, t_{p2}$  и уменьшение  $t_{\phi 1}^{01}$  — к сокращению задержки выключения  $t_3^{01}$ . Таким образом в схеме ТТЛ-3тш достигается существенное уменьшение средней задержки ценой некоторого снижения помехоустойчивости.

Однако транзисторы Шоттки имеют большие, чем обычные транзисторы, значения емкости коллекторного перехода и изоляции, в результате чего выигрыш по быстродействию снижается.

На рис. 3.13,б показана схема с улучшенной передаточной характеристикой (схема ТТЛ-4тшу) [72], где все транзисторы, кроме  $T_3$ , являются транзисторами Шоттки. Транзистор  $T_3$  никогда не попадает в режим насыщения, поэтому использовать вместо него транзистор Шоттки не имеет смысла. На входе схемы включены диоды Шоттки, которые ограничивают амплитуду отрицательных импульсов помехи на уровне  $U_{дшо}$ . Так как  $U_{дшо} < \Delta U_p^+$ , то эти импульсы, вторично поступив на вход после отражения с изменением полярности, не вызовут ложного переключения схемы.

Благодаря включению транзистора  $T'_2$  в схему ТТЛ-4тшу достигается улучшение передаточной характеристики (рис. 3.14), так же, как в схеме на рис. 3.6. Помехоустойчивость схемы выше, чем в ТТЛ-3тш и составляет не менее 0,3 В в рабочем диапазоне температур  $-60^\circ \dots +120^\circ \text{C}$ . Благодаря включению транзистора  $T_4$  улучшается выходная характеристика  $U_{вых}^1 = f(I_{н})$  (рис. 3.2) и повышается коэффициент разветвления на выходе.

Таким образом, схема ТТЛ-4тшу при таком же быстродействии обеспечивает более высокую помехоустойчивость и коэффициент разветвления на выходе, чем схема ТТЛ-3тш. На рис. 3.13,в показана схема ТТЛ-3тшп, обеспечивающая повышенную помехоустойчивость [49].

Передаточная характеристика схемы представлена на рис. 3.14. Включение диодов  $D_3$  и  $D_4$  и резистора  $R'_6$  (сопротивление  $R'_6$  несколько килоом), шунтирующего эмиттерный переход транзистора  $T_1$  при малых токах базы повышает пороги переключения схемы  $U_{п\text{пр}}^0$ ,  $U_{п}^0$ ,  $U_{п}^1$ . Выходное напряжение  $U_{\text{вых}}^1$  повышено приблизительно на 0,4 В вследствие включения в качестве  $D_1$  диода Шоттки. Величина сопротивления  $R_{ш}$  (десятки Ом) выбирается таким образом, чтобы обеспечить быстрое рассасывание избыточного заряда в транзисторе  $T_2$  при относительно небольшом повышении напряжения  $U_{\text{вых}}^0$  (как в схеме ТТЛ-1тш на рис. 1.28,б). В результате помехоустойчивость схемы  $\Delta U_{п}^+ = \Delta U_{п}$  приблизительно на 0,3 В выше, чем в схеме ТТЛ-3тш, при таком же быстродействии.

### 3.5. СХЕМЫ, ОТКЛЮЧАЮЩИЕСЯ ОТ НАГРУЗКИ

Схемы со сложными инверторами нельзя объединять по выходам. Если допустить такое объединение, то при подаче на входы первой схемы высокого напряжения  $U^1$ , а на входы второй — низкого напряжения  $U^0$ , через открытый выходной транзистор  $T_3$  второй схемы в насыщенный транзистор  $T_2$  первой схемы будет поступать значительный ток, величина которого близка к  $I_{\text{вых из}} = I_{\text{эз макс}}$ . Транзистор  $T_2$  может выйти из насыщения, и тогда на выходе устанавливается напряжение  $U_{\text{вых пр}}$ , промежуточное между  $U^0$  и  $U^1$ . Величина  $U_{\text{вых пр}}$  зависит от соотношения параметров элементов схем, числа нагрузок, температуры и так далее, и может соответствовать как логическому 0, так и 1. Таким образом, на объединенном выходе схем создается логическая неопределенность, которая приведет к сбою в работе устройства. Кроме того, возможен выход микросхем из строя, так как транзисторы  $T_2$ ,  $T_3$  и диод не рассчитаны на длительное протекание значительных токов.

В то же время в ряде случаев требуется работа нескольких устройств на общую нагрузку. Объединение выходов логических схем необходимо также в цифровых устройствах с магистральной структурой, в которых большое число схем работает на общую линию передачи информации. В этих случаях целесообразно использовать так называемые «схемы с тремя выходными состояниями», которые кроме логических состояний, обеспечивающих напряжения  $U^0$ ,  $U^1$  на выходе, имеют еще третье

состояние, при котором схема полностью отключается от нагрузки, т. е. не потребляет и не отдает выходной ток [73, 74].

На рис. 3.15, а показана схема с тремя устойчивыми состояниями. Она отличается от схемы ТТЛ-3 включе-

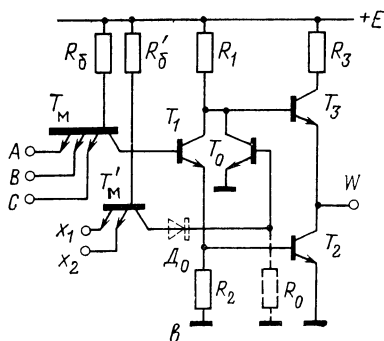
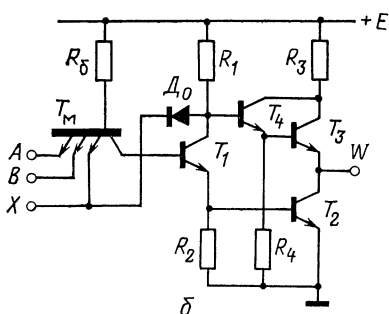
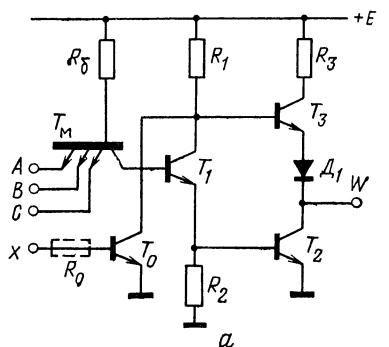


Таблица 3.1

$x$	$A$	$B$	$W$
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	×
1	0	1	×
1	1	0	×
1	1	1	×

× — отключенное состояние

нием управляющего транзистора  $T_0$  [74]. При подаче на отключающий вход  $x$  (базу  $T_0$ ) низкого напряжения  $U^0 < U_{эз}$  транзистор  $T_0$  закрыт и схема по основным входам реализует логическую функцию И—НЕ. Если на вход  $x$  подано высокое напряжение  $U^1 > U_{эз}$ , обеспечивающее насыщение транзистора  $T_0$ , то на базах  $T_2$  и  $T_3$  устанавливается низкое напряжение и они закрыты, схема отключена от нагрузки при лю-

Рис. 3.15. Варианты схемы ТТЛ-3, отключающей от нагрузки.

бой комбинации сигналов на логических входах. Логическое функционирование схемы определяется табл. 3.1.

Эти схемы допускают объединение их выходов на общей нагрузке. При этом, если хотя бы на один из входов какой-либо неотключенной схемы подано напряжение  $U^0$ , то остальные схемы отключаются от нагрузки подачей напряжения  $U^1$  на отключающий вход, и на общей нагрузке поддерживается высокое напряжение  $U^1$ .

Схема на рис. 3.15,а имеет следующие недостатки: низкие порог переключения  $U_{п}^0$  и помехоустойчивость  $\Delta U_{п}^+$  по отключающему входу:  $U_{п\ x}^0 = U_{зз} = 0,5 \dots 0,6$  В при  $T = 20^\circ\text{C}$ ,  $\Delta U_{п\ от}^+ \geq 0,1$  В в диапазоне  $-60^\circ \dots +125^\circ\text{C}$ ; малое входное сопротивление (сотни и десятки ом) при высоком напряжении  $U^1$  на отключающем входе, в результате чего схема потребляет большой входной ток  $I_{вх}^1$ .

Последний из недостатков можно устранить, включая в базовую цепь транзистора  $T_0$  резистор  $R_0$ , ограничивающий входной ток  $I_{вх}^1$ .

Схема на рис. 3.15,б [50] отключается при подаче на вход  $x$  низкого потенциала  $U^0 < U_{зз}$ , когда все транзисторы в схеме оказываются запертыми. Недостатком этой схемы также является низкий порог переключения по входу  $x$ :  $U_{п\ x}^0 = 2U_{зз} - U_{зз}$ , и малая помехоустойчивость  $\Delta U_{п\ x}^+$  особенно при повышенной температуре.

На рис. 3.15,в показана схема, в которой использует дополнительный транзистор  $T'_м$  для подачи отключающих сигналов. Отключение схемы происходит при подаче низкого потенциала  $U^0$  хотя бы на один из входов  $x$ . Входные характеристики этой схемы по отключающим входам аналогичны характеристикам схемы ТТЛ-1 (рис. 1.22). Если в схему включить дополнительные диод  $D_0$  и резистор  $R_0$ , то пороги переключения  $U_{п\ x}^0$ ,  $U_{п\ x}^1$  и помехоустойчивость  $\Delta U_{п\ x}^+$  схемы по отключающим входам  $x$  повышаются и имеют приблизительно такие же значения, как и по логическим входам.

Описанные в настоящем параграфе способы отключения схемы ТТЛ-3 от нагрузки можно использовать и в любой другой схеме со сложными инверторами.

### 3.6. СРАВНЕНИЕ ОСНОВНЫХ МОДИФИКАЦИЙ СХЕМ ТТЛ

В связи со значительным числом типов схем возникает проблема выбора схемы ТТЛ, в наибольшей степени



ни соответствующей возможностям технологии и наилучшим образом удовлетворяющей заданным требованиям. Здесь на базе анализа основных модификаций схем ТТЛ, данного в предыдущих разделах, проводится их качественное сравнение.

Схема ТТЛ-3 по сравнению с ее модификациями является наиболее простой, содержит наименьшее число элементов и занимает минимальную площадь на полупроводниковом кристалле. В модифицированных схемах улучшение отдельных характеристик достигается введением дополнительных элементов, т. е. ценой усложнения схемы. Модифицированные схемы занимают большую площадь на кристалле, что снижает процент выхода годных схем в производстве. В ряде случаев эти схемы требуют использования специальной технологии (например, для получения в микросхеме барьеров Шоттки). Таким образом, эти модификации обычно оказываются менее технологичными в производстве, чем основная схема ТТЛ-3. Кроме того, улучшение отдельных параметров в модифицированных схемах часто достигается ценой ухудшения других параметров.

По указанным причинам схема ТТЛ-3 как наиболее простая, технологичная и обеспечивающая хорошие электрические параметры является самой распространенной. Ее можно рекомендовать для использования в качестве основной логической схемы в маломощных сериях интегральных микросхем или в сериях микросхем среднего быстродействия. Таким образом рекомендуемый диапазон потребляемых мощностей составляет от долей милливатт до 10...15 мВт. При повышенной потребляемой мощности  $P > 10$  мВт в схеме ТТЛ-3 время рассасывания избыточного заряда  $t_{p2}$  в выходном транзисторе  $T_2$  составляет значительную долю средней задержки  $t_{з\text{ ср.}}$ . Поэтому в быстродействующих сериях микросхем, где потребляемая мощность составляет более 10...15 мВт на схему, в качестве основной логической схемы И—НЕ следует использовать схемы, обеспечивающие пониженные значения времени  $t_{p2}$ .

Если микросхемы изготавливаются на основе тонких эпитаксиальных пленок, можно рекомендовать схему ТТЛ-3м (рис. 3.5,б), которая занимает на кристалле в полтора-два раза меньшую площадь и имеет более высокое быстродействие [65].

Схема ТТЛ-4 по большинству основных параметров оказывается близкой к схеме ТТЛ-3. Важное преимущество схемы ТТЛ-4 состоит в высоком коэффициенте разветвления на выходе  $N_1$ . Схема может как пропускать значительный ток нагрузки  $I_H$  при низком напряжении  $U_{\text{вых}}^0$  на выходе, так и отдавать в нагрузку значительный ток  $I_H$  при высоком напряжении  $U_{\text{вых}}^1$  на выходе. Поэтому данная схема используется в качестве мощного выходного («буферного») каскада, который имеет большое число схем-нагрузок (несколько десятков) либо работает на низкоомную нагрузку (например, согласованную линию передачи) или на значительную емкость.

Схема ТТЛ-4 обеспечивает также меньшее время рассасывания  $t_{p2}$ , чем схема ТТЛ-3. Поэтому она часто используется в качестве основной логической схемы И—НЕ в быстродействующих сериях микросхем, где время  $t_{p2}$  составляет значительную долю средней задержки переключения.

Схема ТТЛ-3у (рис. 3.6,а) обладает улучшенной передаточной характеристикой и обеспечивает повышение помехоустойчивости и быстродействия. Поэтому она может быть рекомендована для использования в сериях микросхем среднего быстродействия. Вариант схемы ТТЛ-4 (рис. 3.6,б) с улучшенной передаточной характеристикой можно рекомендовать для использования в быстродействующих сериях микросхем.

В быстродействующих модификациях схем ТТЛ со сложным инвертором уменьшение задержки переключения достигается, главным образом, сокращением времени рассасывания заряда в насыщенных транзисторах. Поэтому данные модификации целесообразно использовать в быстродействующих микросхемах, потребляющих мощность  $P > 10 \dots 15$  мВт, в которых велика доля времени рассасывания в общей задержке переключения.

Наибольший выигрыш по быстродействию достигается в схемах, где транзисторы работают в ненасыщенном режиме: схемы ТТЛ-3н (рис. 3.4,а), ТТЛ-3тш (рис. 3.13,а) и др. Из них наибольший интерес представляют схемы с транзисторами Шоттки, которые обеспечивают задержку переключения менее 5 нс и конкурируют по быстродействию с логическими схемами с эмиттерной связью [43]. Наилучшее сочетание статических и динамических параметров обеспечивают схемы: ТТЛ-4тш (рис. 3.13,б) и ТТЛ-3тшп (рис. 3.13,в) [72, 49].

Особенностью схем ТТЛ с транзисторами Шоттки является повышенное значение напряжения  $U_{\text{вых}}^0$ , вследствие чего их помехоустойчивость  $\Delta U_{\text{п}}^+$ , которая составляет 0,3 В в рабочем диапазоне температур, несколько ниже, чем для схемы ТТЛ-3. Однако эта помехоустойчивость выше, чем для схем с эмиттерной связью и для многих случаев применения помехоустойчивость схем оказывается достаточной. Таким образом, схемы ТТЛ с транзисторами Шоттки весьма перспективны для применения в быстродействующих и сверхбыстродействующих сериях интегральных микросхем.

Схема ТТЛ-3н (рис. 3.4,а) по сравнению со схемами с транзисторами Шоттки имеет меньшее быстродействие и более высокое значение  $U_{\text{вых}}^0$  (приблизительно на 0,1...0,2 В), а соответственно и пониженную помехоустойчивость. Однако эта схема не требует создания барьеров Шоттки, поэтому может быть изготовлена с помощью обычной планарно-эпитаксиальной технологии.

В схемах ТТЛ-3рд (рис. 3.3,а), ТТЛ-3рт (рис. 3.3,б), ТТЛ-5 (рис. 3.3,в), ТТЛ-6 (рис. 3.3,г), ТТЛ-3т (рис. 3.5), ТТЛ-3д (рис. 3.12) выигрыш по быстродействию менее значителен, чем в схемах с ненасыщенными транзисторами. Однако в этих схемах параметры  $U_{\text{вых}}^0$  и  $\Delta U_{\text{п}}^+$  сохраняются такими же, как в схеме ТТЛ-3, т. е. лучше, чем в рассмотренных схемах с ненасыщенными транзисторами. Наибольший интерес представляют модификации ТТЛ-3рт, ТТЛ-3рд, ТТЛ-3дш, в которых повышение быстродействия достигается относительно небольшим усложнением схемы, а остальные параметры сохраняются такими же, как в схеме ТТЛ-3. Поэтому эти модификации можно рекомендовать для использования в тех случаях, когда требуется повышение быстродействия при сохранении такой же высокой помехоустойчивости, как в схеме ТТЛ-3. Схема ТТЛ-3рт или ее варианты представляются наиболее перспективными, так как не требуют создания диодов со специфическими характеристиками (как в схеме ТТЛ-3рд) или диодов Шоттки (как в схеме ТТЛ-3дш).

Схемы ТТЛ-5, ТТЛ-6 содержат значительное число элементов, в то же время реализуемое ими повышение быстродействия не столь существенно (меньше, чем в других модификациях схем с повышенным быстродействием) и достигается ценой ухудшения некоторых других

параметров. Поэтому применение этих модификаций в большинстве случаев нецелесообразно.

Быстродействующие модификации схем потребляют меньшую динамическую мощность, чем схема ТТЛ-3, вследствие сокращения времени  $t_{p2}$ , в течение которого оба выходных транзистора  $T_2$  и  $T_3$  одновременно открыты и пропускают значительный ток от источника питания. Поэтому при высокой частоте переключения эти модификации, в особенности схемы с ненасыщенными транзисторами, потребляют меньшую мощность, чем схема ТТЛ-3, имеющая одинаковую с ними потребляемую мощность в статическом режиме.

Схемы с повышенными порогами переключения: ТТЛ-5п (рис. 3.8,а), ТТЛ-5пм (рис. 3.8,б), ТТЛ-6пм (рис. 3.8,в) и с гистерезисом на передаточной характеристике: ТТЛ-3г (рис. 3.10,а), ТТЛ-3ос (рис. 3.11) можно использовать в случаях, когда требуется получить более высокую помехоустойчивость, чем обеспечивает схема ТТЛ-3. Поэтому наряду с основной логической схемой И—НЕ, имеющей типовое значение помехоустойчивости (схемы ТТЛ-3, ТТЛ-4), в некоторые серии включаются схемы с повышенной помехоустойчивостью ТТЛ-5пм, ТТЛ-3г [68, 69].

Схемы, отключающиеся от нагрузки (рис. 3.15), целесообразно использовать в определенном классе цифровых устройств — устройствах с магистральной структурой, где их применение обеспечивает значительный выигрыш по ряду параметров [75, 76].

Однозначно определить наилучшую для всех случаев модификацию схемы невозможно вследствие многообразия требований, предъявляемых к логическим схемам в цифровой аппаратуре, а также вследствие различия технологии изготовления микросхем и параметров их элементов. Некоторые элементы, такие как приборы с барьерами Шоттки, вообще могут быть образованы в микросхемах лишь при использовании специальной технологии. Поэтому в принципе любая из рассмотренных модификаций схем может в отдельных случаях обеспечить наилучшие показатели.

Таким образом, можно говорить о выборе наилучшей схемы лишь для каждого конкретного случая, т. е. при определенных требованиях к параметрам микросхемы и известных параметрах элементов, которые могут быть

реализованы при используемом технологическом процессе изготовления микросхем.

Данное в настоящем параграфе качественное сравнение схем со сложным инвертором позволяет произвести предварительный выбор возможных вариантов схемы. Далее, используя результаты проведенного выше анализа, можно в каждом конкретном случае произвести оценочный расчет вариантов и на основании расчета сделать окончательный выбор варианта схемы, в наибольшей степени удовлетворяющего поставленным требованиям.

## *Глава 4*

### СОСТАВ ТИПОВЫХ СЕРИЙ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ ТТЛ

---

#### 4.1. ЛОГИЧЕСКИЕ СХЕМЫ

Используя схемы И—НЕ, можно построить устройства, выполняющие любые логические операции. Однако цифровые устройства, построенные из логических схем одного типа, далеки от оптимальных. Так, для реализации функции И требуется две схемы И—НЕ, для реализации функции И—ИЛИ—НЕ — четыре схемы И—НЕ и т. д. Использование схем одного типа приводит к увеличению общего числа микросхем в устройстве, повышению потребляемой мощности, объема и веса устройства, уменьшению быстродействия, усложнению конструкции, увеличению числа межсоединений, снижению надежности.

Поэтому все выпускаемые промышленностью серии интегральных микросхем включают помимо основной логической схемы И—НЕ также схемы других типов [77—80]. Типовая серия содержит различные виды логических схем, триггеров и вспомогательных схем. В состав серий включают схемы повышенной степени интеграции, которые представляют собой отдельные узлы ЦВМ: регистры, счетчики, сумматоры, выполненные на едином кристалле. Микросхемы одной серии согласованы по сво-

им электрическим параметрам для совместной работы в определенном диапазоне температур, т. е. имеют одинаковое напряжение питания и значения потенциалов  $U^0_{\text{макс}}$ ,  $U^1_{\text{мин}}$  и унифицированы по конструктивным параметрам, т. е. размещены в одинаковых корпусах с согласованным размещением выводов «питания» и «земли».

Серии содержат до нескольких десятков типов микросхем. Такое расширение функционального состава позволяет существенно упростить логическую структуру и конструкцию цифровых устройств, повысить их быстродействие и надежность, снизить потребляемую мощность.

Основной во всех сериях является схема И—НЕ. Наиболее широко используются в сериях маломощных микросхем схема ТТЛ-3 (рис. 2.1), в сериях микросхем среднего быстродействия — схема ТТЛ-3 или ТТЛ-3у (рис. 3.6), в сериях быстродействующих микросхем — схема ТТЛ-4 (рис. 3.1) или ТТЛ-4у (рис. 3.6,б), в сериях сверхбыстродействующих микросхем — схема ТТЛ-4тшу (рис. 3.13,б).

В состав типовой серии входят несколько схем И—НЕ, которые отличаются, в первую очередь, числом входов  $M$ .

Микросхемы размещаются в металло-керамическом корпусе с планарным расположением выводов либо в пластмассовом корпусе с двухрядным расположением выводов, отогнутых перпендикулярно к монтажной плоскости. Эти корпуса имеют 14 выводов, два из которых требуются для подключения к схемам источника питания и общей шины «земля». Поэтому для подключения логических входов и выходов схем остается 12 выводов, т. е. число  $k$  схем И—НЕ, расположенных в одном корпусе, и число  $M$  входов этих микросхем ограничены условием

$$k(M + 1) \leq 12. \quad (4.1)$$

Таким образом, в корпусе одной микросхемы может быть расположено  $k=1, 2, 3, 4$  или 6 схем И—НЕ, имеющих соответственно число входов не более  $M=11, 5, 3, 2$  или 1. Кроме того, могут быть различные комбинации расположения схем с различным числом входов в одной микросхеме. В состав серии входят схемы И—НЕ с числом входов  $M=1, 2, 3, 4, 8$ , причем в корпусе одной микросхемы располагается до 6 схем. Современный уро-

вень развития интегральной технологии позволяет располагать в корпусе одной микросхемы значительно больше шести схем И—НЕ. Однако при этом необходимо использовать для размещения микросхемы корпус с большим числом выводов.

Помимо схем И—НЕ в состав серий входят схемы НЕ, И, И—ИЛИ—НЕ, ИЛИ. Схема НЕ представляет собой схему И—НЕ с числом входов  $M=1$ , т. е. на входе схемы включен транзистор с одним эмиттером.

Один из возможных вариантов схемы И (рис. 4.1) представляет собой последовательное соединение упрощенной схемы И—НЕ с ненасыщенным выходным тран-

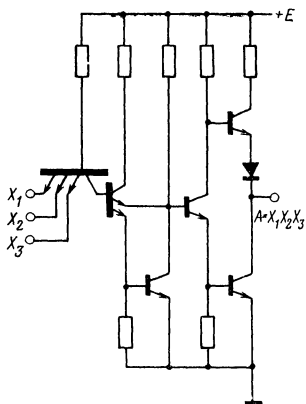


Рис. 4.1. Схема И.

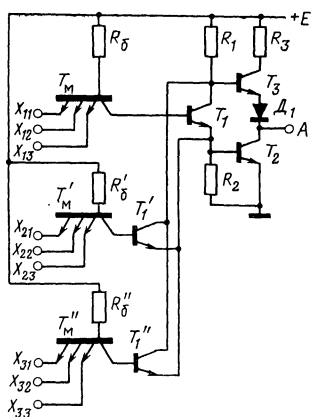


Рис. 4.2. Схема И—ИЛИ—НЕ.

зистором (схема ТТЛ-2н, рис. 1.32,а) и сложного инвертора (как в схеме ТТЛ-3). Схема потребляет в два раза больше мощности и имеет значительно большую задержку переключения, чем основная схема И—НЕ. Поэтому схемы И находят ограниченное применение и входят в состав лишь некоторых серий. Число входов схемы И составляет 3 или 4.

Схему И—ИЛИ—НЕ легко получить из схемы И—НЕ подключением дополнительных сборок И, состоящих из резистора  $R_6$  и транзисторов  $T_m$  и  $T_1$  (рис. 4.2). Если общее число сборок И составляет  $l$ , а число вхо-

дов каждой сборки  $m$ , то такая схема реализует логическую функцию:

$$A = (x_{11}x_{12} \times \dots \times x_{1m}) + (x_{21}x_{22} \times \dots \times x_{2m}) + \dots + (x_{l1}x_{l2} \dots x_{lm}),$$

т. е. выполняет операцию И—ИЛИ—НЕ. Общее число логических входов схемы И—ИЛИ—НЕ составляет  $M = lm$ .

Таким образом, рассмотренная в гл. 2 схема ТТЛ И—НЕ является частным случаем схемы И—ИЛИ—НЕ при  $l=1$ . Поэтому анализ работы схемы И—НЕ в значительной степени справедлив и для схемы И—ИЛИ—НЕ. В частности, входные и выходные характеристики, логические уровни, пороги переключения, помехоустойчивость, нагрузочная способность схемы И—ИЛИ—НЕ определяются выражениями, приведенными в § 2.1.

Средняя мощность, потребляемая схемой И—ИЛИ—НЕ в статическом режиме, равна

$$P = E[l(E - 2U_{зо})/R_6 + (E - U_{зо})/2R_1]. \quad (4.2)$$

При типовых значениях отношения  $R_6/R_1 = 2 \dots 3$  средняя мощность, потребляемая схемой И—НЕ, увеличивается на 20...40% при подключении каждой дополнительной сборки И. Анализ переходных процессов в схеме И—НЕ, приведенный в § 2.2, справедлив и для схемы И—ИЛИ—НЕ, когда переключающий сигнал поступает на вход одной из  $l$  сборок И, а на входах остальных сборок И поддерживается низкий потенциал  $U^0$ . Если переключающий сигнал поступает одновременно на входы двух или более сборок И, то процесс переключения схемы происходит несколько быстрее. Однако на практике случай одновременного поступления сигнала на входы различных сборок И реализуется редко, поэтому для расчета длительностей фронтов и задержек схемы И—ИЛИ—НЕ можно использовать выражения, приведенные в § 2.2. В выражениях (2.46), (2.49а), (2.50а), (2.62), (2.64а), (2.65а) следует заменить  $C_{к1}$  на  $lC_{к1}$ . Кроме того, схема И—ИЛИ—НЕ имеет повышенное значение паразитной емкости  $C_{пз}$ , так как в этом узле объединены коллекторы  $l$  транзисторов  $T_1$ . Поэтому быстроедействие схемы И—ИЛИ—НЕ ниже, чем схемы И—НЕ, в основном за счет возрастания значений  $t_3^{01}$ ,  $t_\Phi^{01}$ .

Максимально допустимое число сборок  $l_{\text{макс}}$  схемы И, в схеме И—ИЛИ—НЕ ограничивается, главным образом, токами утечки в узле объединения коллекторов



транзисторов  $T_1$ . При увеличении  $l$  возрастает величина токов утечки и уменьшается потенциал  $U_{\text{вых}}^1$ , когда токи утечки становятся сравнимы с величиной  $(I_{\text{н}}/B_3)$ . Если же токи утечки незначительны (единицы микроампер и ниже), то значение  $I_{\text{макс}}$  ограничивается допустимым снижением быстродействия и повышением потребляемой мощности.

Аналогичное включение сборок И позволяет получить схемы И—ИЛИ—НЕ на основе рассмотренных в гл. 3 модификаций схем И—НЕ.

Таким образом, схема И—ИЛИ—НЕ создается из схемы И—НЕ путем некоторого ее усложнения при относительно небольшом повышении потребляемой мощности и снижении быстродействия. Поэтому схемы И—ИЛИ—НЕ находят широкое применение в цифровых устройствах.

В каждую серию входит несколько вариантов схем И—ИЛИ—НЕ, которые имеют число сборок И до  $l=4$ . При этом ограничение на число схем И—ИЛИ—НЕ в одном корпусе определяется выражением (4.1) и не превосходит  $k=4$ , а число сборок И в каждой схеме составляет  $l=2, 3$  или  $4$  при числе входов в каждой сборке  $m$  от 1 до 4. При числе входов  $m=1$  в сборках схемы И схема И—ИЛИ—НЕ превращается в схему ИЛИ—НЕ.

Таким образом, схему И—ИЛИ—НЕ можно считать наиболее универсальной, из которой образуются схемы И—НЕ (при  $l=1, m>1$ ), схемы ИЛИ—НЕ (при  $m=1, l>1$ ), схема НЕ (при  $l=m=1$ ).

Часто коллектор и эмиттер транзистора  $T_1$  в схемах И—НЕ, И—ИЛИ—НЕ, ИЛИ—НЕ соединяют с отдельными выводами микросхемы. К этим выводам можно подключить внешние сборки И, которые называют расширителями числа входов по ИЛИ (§ 4.3). Применение этих схем позволяет увеличить число логических входов схем при том же числе выводов корпуса.

Перечисленные выше логические схемы являются наиболее распространенными. В некоторые серии входят также схемы И—ИЛИ, исключаящие ИЛИ [69, 77, 78].

В серию микросхем часто вводят схему И—НЕ, коэффициент разветвления на выходе которой составляет  $N=30...40$ , т. е. в несколько раз выше, чем для типовой схемы И—НЕ, где  $N=8...10$ . Эта схема используется в выходных каскадах цифровых устройств, работающих на значительную емкость и низкоомную нагрузку. В ка-

честве схемы И—НЕ с повышенным коэффициентом разветвления обычно применяется схема ТТЛ-4 (рис. 3.1,а).

В некоторые серии логических схем включены схемы с повышенной помехоустойчивостью, предназначенные для работы в условиях высокого уровня помех. В качестве таких схем используются, например, схема И—НЕ типа ТТЛ-5пм (рис. 3.8,б), схема И типа ТТЛ-3г (рис. 3.10). Превосходство этих схем по отдельным параметрам достигается ценой ухудшения других параметров, например повышения потребляемой мощности. Поэтому они применяются редко и используются в тех случаях, когда крайне необходимо иметь высокое значение определенного параметра, хотя бы и ценой снижения других показателей.

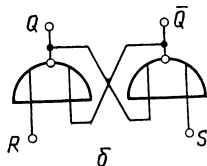
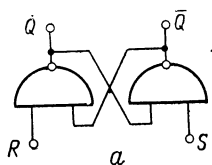
Логические схемы одной серии иногда подразделяются на группы по значениям какого-либо из основных параметров схем (чаще всего по коэффициенту разветвления на выходе или задержке переключения). Отбор микросхем по группам происходит по результатам контроля выходных электрических параметров на заключительном этапе производства.

## 4.2. ТРИГГЕРЫ

Одними из важнейших элементов цифровых устройств являются триггеры, которые используются для хранения, счета и сдвига двоичной информации. В настоящее время наибольшее применение в цифровой аппаратуре получили следующие типы триггеров [81, 82]:

- триггер с отдельными входами (*RS*-триггер);
- тактированный *RS*-триггер;
- счетный триггер (*T*-триггер);
- сдвигающий триггер (*D*-триггер);
- универсальный тактированный *JK*-триггер;
- комбинированный *DV*-триггер.

В принципе триггер любого типа можно построить, используя логические схемы И—НЕ, И—ИЛИ—НЕ. При этом для реализации простейшего *RS*-триггера требуется две логические схемы, а для реализации других, более сложных типов триггеров от четырех до восьми схем И—НЕ, И—ИЛИ—НЕ [83]. Таким образом, построение триггеров из логических схем приводит к увеличению числа микросхем и внутрисхемных соединений, что увеличивает вес и габариты и снижает надежность



цифровых устройств. Поэтому в состав серий включены в виде отдельных микросхем триггеры различных типов.

Наиболее простую схему имеет  $RS$ -триггер, который представляет собой бистабильную ячейку, образованную перекрестным соединением двух логических схем И—НЕ (рис. 4.3,а).

Рис. 4.3. Структурные схемы  $RS$ -триггера на базе схем И—НЕ (а) и на базе схем ИЛИ—НЕ (б).

Функционирование триггера определяется таблицей состояний 4.1,а, где  $Q_n$ ,  $\bar{Q}_n$  обозначают состояние выходов  $Q$ ,  $\bar{Q}$  до подачи логических сигналов на входы  $R$  и  $S$ ,  $Q_{n+1}$ ,  $\bar{Q}_{n+1}$  — состояния выходов после подачи сигнала.

Таблица 4.1

Таблица 4.2

а)

$t_n$		$t_{n+1}$
$R$	$S$	$Q_{n+1}$
0	0	н
0	1	1
1	0	0
1	1	$Q_n$

б)

$t_n$		$t_{n+1}$
$R$	$S$	$Q_{n+1}$
0	0	$Q_n$
0	1	1
1	0	0
1	1	н

$t_n$		$t_{n+1}$
$S$	$C_p$	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	$Q_n$
1	1	1

лов на входы  $R$  и  $S$ , н — неопределенное состояние выходов триггера. Таким образом, по входам  $R$  («установка 0») и  $S$  («установка 1») в триггер производится запись информации, которая затем сохраняется при  $R=S=1$ . Однако при  $R=S=0$  логическое состояние триггера может быть произвольным, т. е. возможен сбой в работе устройства. Для устранения сбоев необходимо принимать меры для исключения состояния входов  $R=S=0$ .

Аналогичным образом функционирует  $RS$ -триггер на базе схем ИЛИ—НЕ (рис. 4.3,б), в котором хранение

информации осуществляется при  $R=S=0$ , а неопределенное состояние возникает при  $R=S=1$  (табл. 4.1, б).

Для хранения информации более удобно использовать ячейки памяти, не имеющие неопределенных состояний. На рис. 4.4 приведен пример такой ячейки, которая содержит RS-триггер на базе схем И—ИЛИ—НЕ, управ-

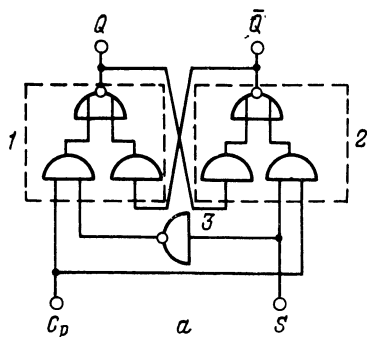
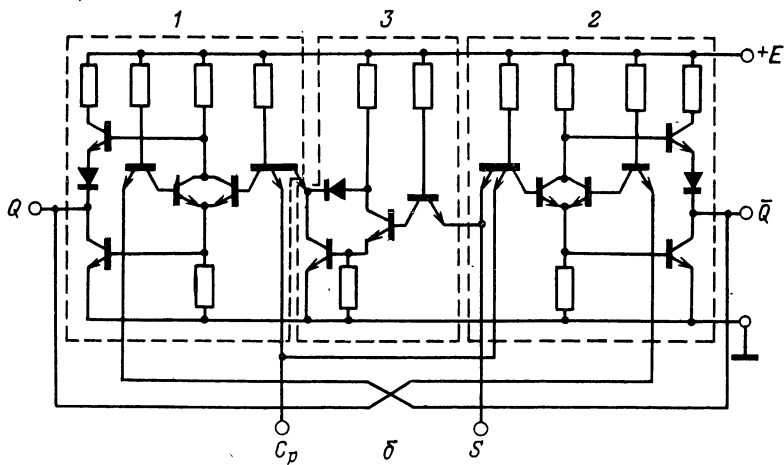


Рис. 4.4. Структурная (а) и принципиальная (б) схемы ячейки памяти.



ляемый парафазными сигналами, образованными инвертированием сигнала на информационном входе  $S$ .

Функционирование ячейки определяется таблицей состояний (табл. 4.2). Запись в ячейку информации, поданной на вход  $S$ , происходит при поступлении на тактовый вход  $C_p$  логической 1. При наличии на входе  $C_p$  логического 0 ячейка сохраняет записанную ранее информацию при любом сигнале на входе  $S$ . Как видно из

принципиальной схемы (рис. 4.4,а), ячейка содержит две типовые схемы И—ИЛИ—НЕ ( $l=2$ ,  $M=1$  и  $2$ ) и упрощенный инвертор типа ТТЛ-2 (рис. 1.29,в).

Помимо хранения, с помощью  $RS$ -триггеров можно также осуществлять счет и сдвиг двоичной информации. Однако, чтобы исключить неопределенные состояния, при использовании  $RS$ -триггеров в счетчиках и регистрах сдвига необходимы двухтактные управляющие сигналы [95]. При этом на один разряд счетчика или регистра

требуются два  $RS$ -триггера и дополнительные логические элементы [82, 95].

Более целесообразно использовать в счетчиках и регистрах триггеры типов  $T$ ,  $D$ ,  $JK$  и некоторые другие, так как при этом на один разряд устройства требуется один триггер [82, 95].

Обычно в серию микросхем ТТЛ включаются  $JK$ -триггеры,  $D$ -триггеры или тактированные  $RS$ -триггеры. Эти триггеры имеют более сложную схему, так как содержат элемент для промежуточного запоминания информации. Для этого чаще всего используется вспомогательная бистабильная

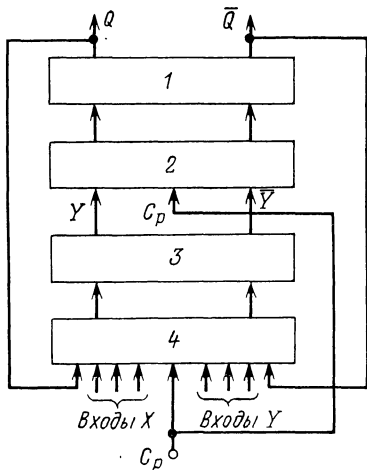


Рис. 4.5. Обобщенная структурная схема триггеров со вспомогательной бистабильной ячейкой:

1 — основная бистабильная ячейка, 2 — промежуточное ключевое устройство; 3 — вспомогательная бистабильная ячейка, 4 — входное ключевое устройство.

ная ячейка, которая образуется перекрестным соединением логических схем И—НЕ, либо ИЛИ—НЕ, т. е. имеет структуру простейшего  $RS$ -триггера (рис. 4.3). Обобщенная структурная схема таких триггеров\* (рис. 4.5) состоит из основной и вспомогательной бистабильных ячеек, а также входного и промежуточного ключевых устройств, управляющих переключением бистабильных ячеек [83].

\* В иностранной литературе такая структура носит название «master—slave».

На рис. 4.6 показан один из вариантов тактированного  $RS$ -триггера [77]. Триггер состоит из основной бистабильной ячейки, построенной на логических схемах И—НЕ (1, 2) типа ТТЛ-3, и вспомогательной бистабильной ячейки, построенной на схемах И—ИЛИ—НЕ (3, 4). Для упрощения триггера эти схемы имеют простой выходной каскад (ТТЛ-2, рис. 1.29,б). Одна из сбросок И в схемах И—ИЛИ—НЕ осуществляет логическую операцию И над входными переменными  $R = R_1 R_2 R_3$ ,  $S = S_1 S_2 S_3$ .

Информация из вспомогательной бистабильной ячейки в основную передается ключевым устройством, состоящим из транзисторов  $T_0$  и  $T'_0$ . При высоком напряжении  $U^1$  на тактовом входе  $C_p$  ключевые транзисторы  $T_0$  и  $T'_0$  закрыты, и основная бистабильная ячейка сохраняет информацию, полученную в предыдущем рабочем такте. При поступлении на вход  $C_p$  низкого потенциала  $U^0$  открывается один из транзисторов,  $T_0$  или  $T'_0$ , на базу которого с выхода  $Y$  или  $\bar{Y}$  вспомогательной бистабильной ячейки подается высокое напряжение  $U^1$ . При этом на соответствующий вход основной бистабильной ячейки ( $R$  или  $S$ ) поступает низкое напряжение, а на другом входе остается высокое напряжение, т. е. ключевые транзисторы  $T_0$  и  $T'_0$  работают как логические схемы (выполняющие функцию импликации:  $R' = \overline{C_p Y} = C_p + \bar{Y}$ ,  $S' = \overline{C_p \bar{Y}} = C_p + Y$ ). В результате после поступления на тактовый вход отрицательного перепада напряжения на выходе триггера устанавливается состояние, соответствующее табл. 4.1а. Триггер имеет входы для предварительной установки и сброса хранящейся информации.

Функционирование  $JK$ -триггера определяется таблицей состояния (табл. 4.3). В отличие от  $RS$ -триггера  $JK$ -триггер не имеет неопределенных состояний, которые следует исключать, чтобы избежать сбоев в работе устройств. Поэтому их применение упрощает проектирование цифровых устройств. При подаче на все входы  $J$  и  $K$  постоянного высокого напряжения  $U^1$   $JK$ -триггер выполняет по тактовому входу функции счетного триггера. При подаче на входы  $J$  и  $K$  противофазных сигналов через дополнительный инвертор получаем структуру, выполняющую функции  $D$ -триггера (табл. 4.4).

Таким образом,  $JK$ -триггеры находят многообразное применение в устройствах хранения и обработки информации и являются наиболее распространенным типом

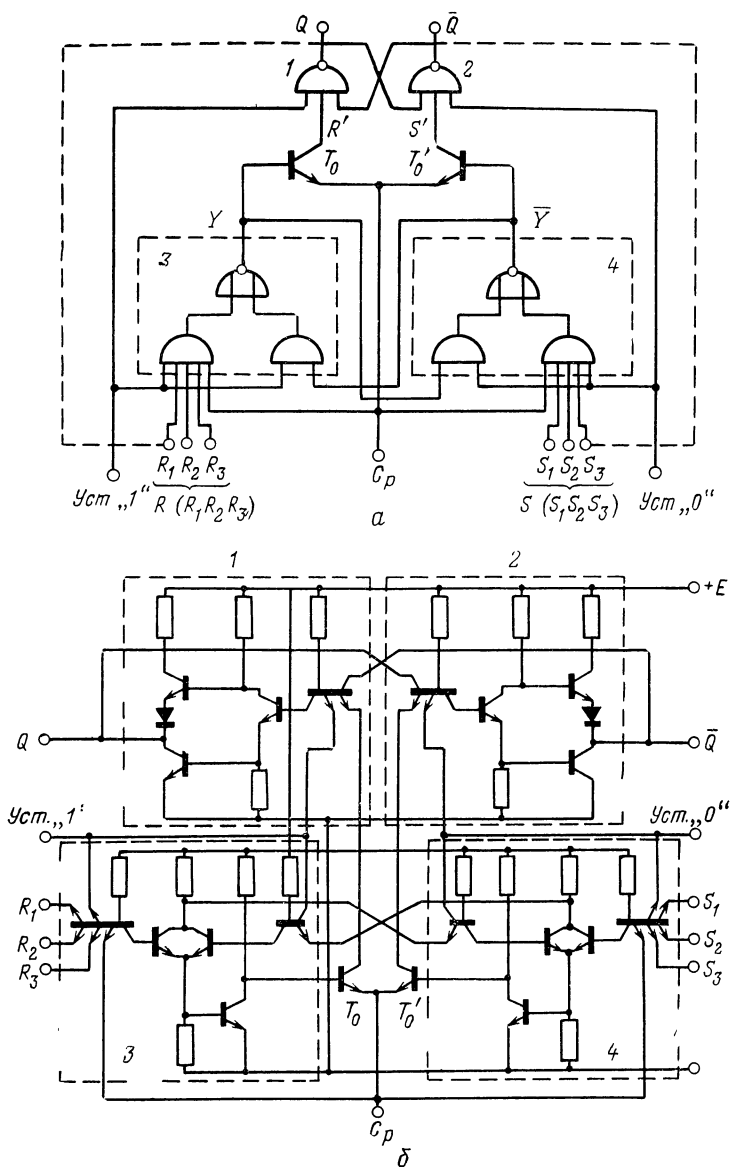


Рис. 4.6. Структурная (а) и принципиальная (б) схемы тактированного RS-триггера.

(Пунктиром показано соединение входов и выходов схемы, обеспечивающее реализацию функций JK-триггера).

Таблица 4.3

$t_n$		$t_{n+1}$
$J$	$K$	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Таблица 4.4

$t_n$	$t_{n+1}$
$D$	$Q_{n+1}$
0	0
1	1

триггеров, входящим в состав серий интегральных схем ТТЛ.

Если один из входов  $R$  тактированного  $RS$ -триггера соединить с выходом  $Q$ , а один из входов  $S$  с выходом  $\overline{Q}$  (пунктир на рис. 4.6,а), то полученная схема выполняет функции тактированного  $JK$ -триггера, где оставшиеся входы  $R$  служат входами  $J$ , а оставшиеся входы  $S$  — входами  $K$ .

Другой вариант  $JK$ -триггера [77] показан на рис. 4.7. В данном триггере также используется основная бистабильная ячейка на схемах И—НЕ (1, 2) типа ТТЛ-3 и вспомогательная бистабильная ячейка на схемах И—ИЛИ—НЕ (3, 4) типа ТТЛ-2. Информация передается от вспомогательной к основной бистабильной ячейке через промежуточное ключевое устройство, состоящее из двух сборок И (5, 6), в которых напряжение на эмиттерах ключевых транзисторов  $T_0$  и  $T'_0$  задается напряжением на тактовом входе  $C_p$ . В результате передача информации происходит, как и в схеме на рис. 4.6, только при поступлении на тактовый вход  $C_p$  низкого напряжения  $U^0$ . Промежуточное ключевое устройство сложнее, чем в триггере на рис. 4.6, однако оно обеспечивает более надежную защиту от ложных срабатываний при поступлении на тактовый вход импульсов помехи. Поэтому данная схема  $JK$ -триггера используется в устройствах среднего и повышенного быстродействия, где уровень помех более высок.



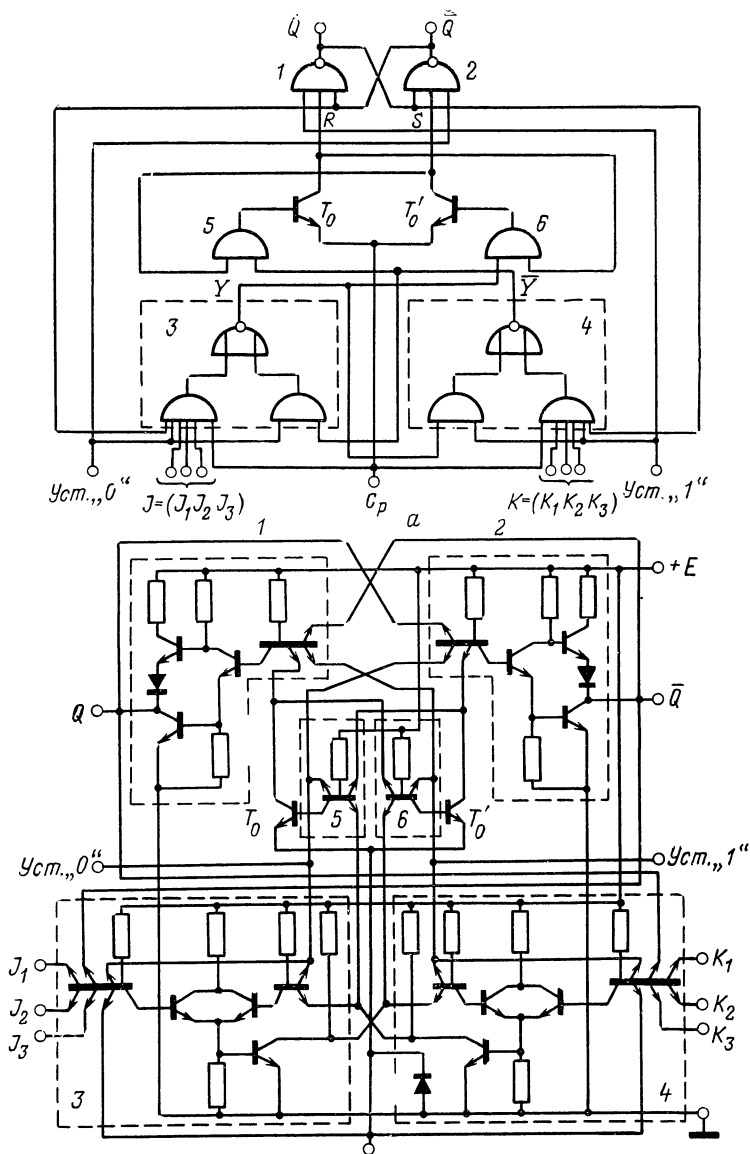


Рис. 4.7. Структурная (а) и принципиальная (б) схемы тактированного  $JK$ -триггера.

Помимо применения вспомогательной бистабильной ячейки (рис. 4.5), в ряде случаев используются другие способы построения триггеров. На рис. 4.8 представлен один из возможных вариантов  $D$ -триггера [69]. В триггере используются две вспомогательные бистабильные ячейки, построенные для повышения быстродействия из упрощенных схем И—НЕ (3—6) с ненасыщенным выходным транзистором (ТТЛ-2р, рис. 1.32,б). Основная бистабильная ячейка построена из схем И—НЕ (1, 2) с улучшенной передаточной характеристикой (ТТЛ-3у, рис. 3.6,а), в которых включены дополнительные входные транзисторы  $T_v$  и  $T'_v$  в базовые цепи многоэмиттерных транзисторов  $T_m$  и  $T'_m$ . Включение транзисторов  $T_v$  и  $T'_v$  позволяет осуществлять обратные связи в бистабильной ячейке не с выхода схемы И—НЕ на вход другой схемы, а с коллектора транзистора  $T_1$  на эмиттер дополнительного транзистора  $T'_v$  и с коллектора  $T'_1$  на эмиттер  $T_v$ . Таким образом, осуществляется развязка выходных цепей от цепей обратной связи и повышается помехоустойчивость триггера при работе в цифровых устройствах.

В соответствии с табл. 4.4  $D$ -триггер осуществляет задержку информации, поступающей на вход  $D$ , на один такт. Основное применение  $D$ -триггеры находят в сдвиговых регистрах.

В некоторых схемах триггеров для промежуточного запоминания информации используются запоминающие конденсаторы. Одна из таких схем  $JK$ -триггера показана на рис. 4.9 [69]. В качестве запоминающих конденсаторов  $C_z$  используются емкости  $p$ - $n$  переходов между подложкой микросхем (кремний  $p$ -типа) и областями  $n$ -типа. Запоминающие конденсаторы являются нагрузками простых инверторов 1 и 2, вследствие чего эти инверторы имеют значительную задержку переключения  $\tau$ , длительность которой зависит от величины  $C_z$ . Поэтому на рис. 4.9,б инвертор с увеличенной задержкой представлен в виде элемента задержки  $D$  с инверсией на входе.

Транзисторно-транзисторные схемы И (3, 4) при высоком напряжении на всех входах ( $J$  или  $K$ ) и  $C_p=1$  обеспечивают высокое напряжение на базе коллективного транзистора  $T_0$  при  $Q=0$  или  $T_0$  при  $Q=1$ . Транзисторы  $T_0$  и  $T'_0$  выполняют логическую функцию импликации (5, 6), как и в триггере на рис. 4.6. При отрицательном перепа-

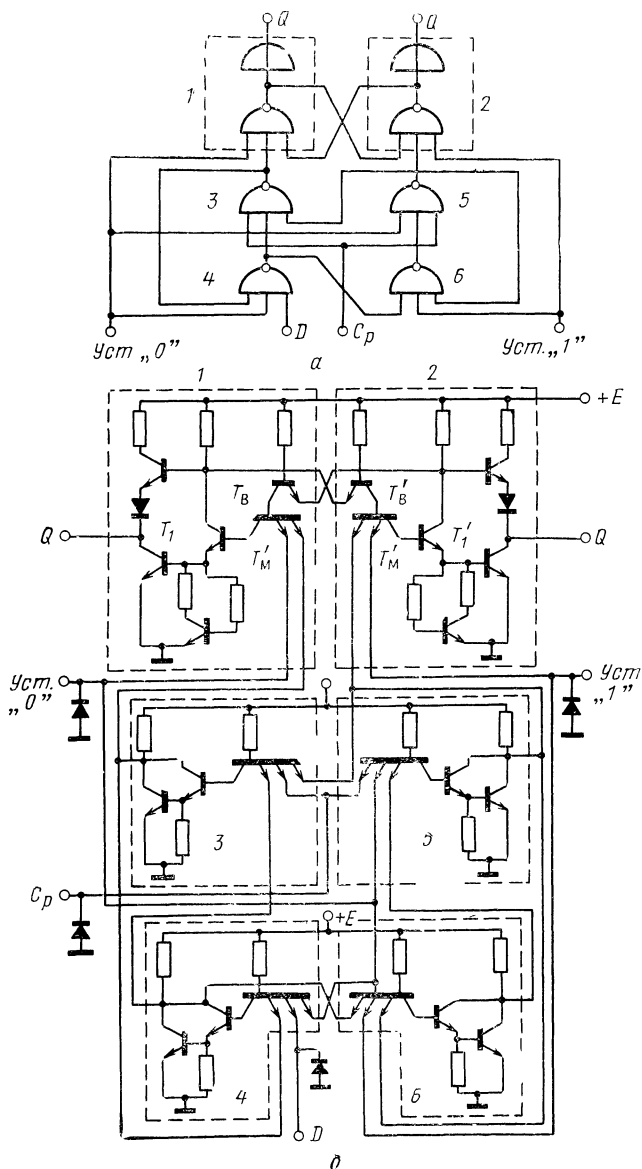


Рис. 4.8. Структурная (а) и принципиальная (б) схемы  $D$ -триггера.

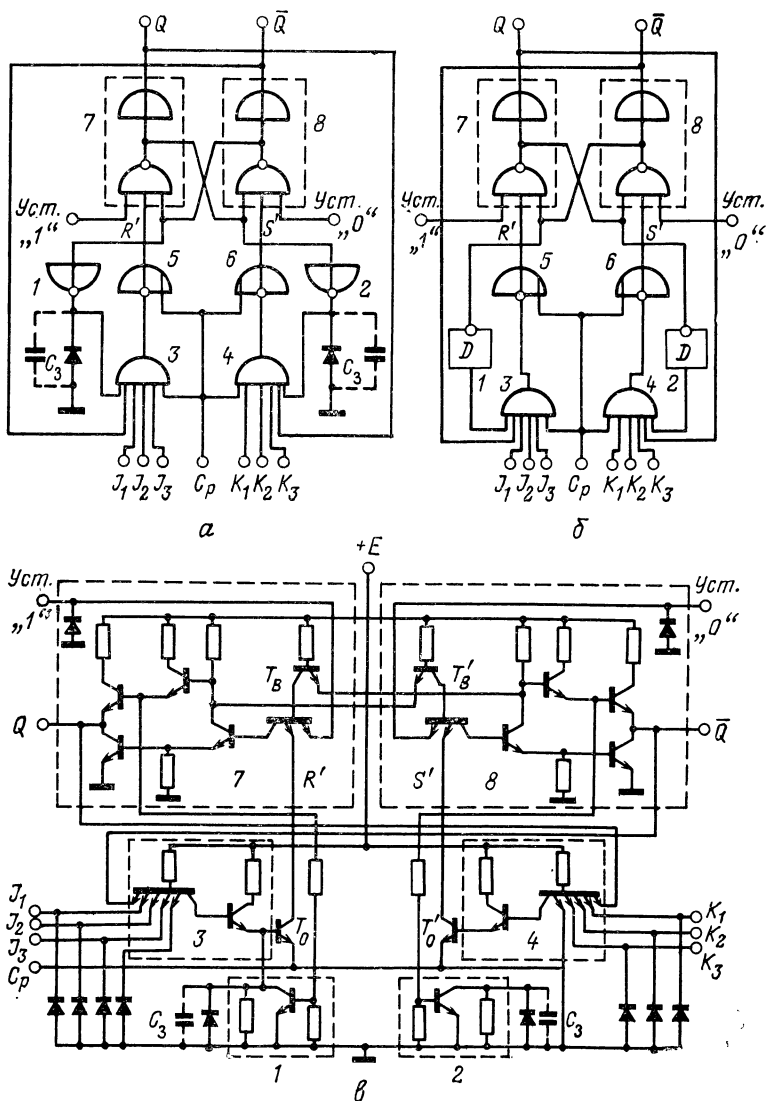


Рис. 4.9. Структурные (*а, б*) и принципиальная (*в*) схемы JK-триггера с запоминающими емкостями.

де напряжения на тактовом входе ( $C_p=0$ ) открывается и входит в насыщение тот из транзисторов ( $T_0$  или  $T'_0$ ), на базу которого с выхода схемы И поступает высокое напряжение. При этом на соответствующий вход основной бистабильной ячейки ( $R'$  или  $S'$ ) поступает низкое напряжение, а на другом входе остается высокое напряжение. В результате при поступлении отрицательного перепада напряжения на вход  $C_p$  триггер устанавливается в состояние, соответствующее табл. 4.3.

Основная бистабильная ячейка построена из схем И—НЕ (7, 8) типа ТТЛ-4 (рис. 3.1), в которых так же, как и в триггере на рис. 4.6, включены дополнительные входные транзисторы  $T_v$ ,  $T'_v$  для развязки выходных цепей триггера от цепей обратной связи.

Благодаря наличию элементов задержки требуемые значения логических сигналов на входах  $R'$  и  $S'$  поддерживаются до тех пор, пока не закончится переключение бистабильной ячейки. Поэтому величина  $\tau$  должна превышать время задержки переключения логических схем в бистабильной ячейке:  $\tau > t_3^{01}, t_3^{10}$ . Для быстродействующих триггеров требуемая величина  $\tau$  составляет десятки наносекунд и необходимые значения  $C_3$  не превышают десятки пикофарад. Такие емкости нетрудно реализовать в интегральных микросхемах. Однако для маломощных триггеров требуются емкости в сотни пикофарад, которые занимают большую площадь на кристалле, и реализация такой схемы в интегральном исполнении становится нецелесообразной.

Особенностью триггеров такого типа является ограничение на максимальную длительность фронта отрицательного перепада. При очень медленном уменьшении напряжений на тактовом входе запоминающая емкость успевает разрядиться до того, как закончится переключение основной бистабильной ячейки, и происходит сбой в работе триггера. Поэтому длительность отрицательного фронта тактового импульса должна быть меньше  $t_{\phi \text{ макс}}^{10}$ . При правильном проектировании триггера величина  $t_{\phi \text{ макс}}^{10}$  достаточно велика и выполнение ограничения на максимальную длительность отрицательного фронта тактового импульса не вызывает затруднений. Использование запоминающих конденсаторов уменьшает число элементов в триггере, а также потребляемую мощность. Однако запоминающие конденсаторы

занимают существенную площадь кристалла, что является причиной уменьшения процента выхода годных микросхем в процессе производства и снижения надежности схем. Поэтому представляет интерес разработка триггеров, в структуре которых функции элементов задержки выполняют схемы, не содержащие конденсаторов.

Одним из возможных решений являются триггеры с разностными элементами управления [82]. На рис. 4.10,а показана структурная схема  $JK$ -триггера [84], который состоит из бистабильной ячейки и двух разностных элементов (1, 2). Если на функциональный вход  $M$  разностного элемента подано высокое напряжение  $U^1$ , то при поступлении на тактовый вход  $C_p$  отрицательного перепада напряжения (от  $U^1$  до  $U^0$ ) на выходе разностного элемента формируется отрицательный импульс требуемой длительности  $\tau$ , который переключает бистабильную ячейку. Если же на функциональном входе поддерживается низкое напряжение  $U^0$  либо на тактовый вход поступает положительный перепад напряжения, то импульс не формируется, на выходе разностного элемента сохраняется высокое напряжение  $U^1$  и состояние бистабильной ячейки не изменяется. Таким образом, триггер переключается при поступлении отрицательного перепада напряжения на тактовый вход  $C_p$ . Структурную схему данного  $JK$ -триггера можно представить в виде, показанном на рис. 4.10,б, где выделены элементы задержки  $D$ . Принципиальная схема триггера показана на рис. 4.10,в. В бистабильной ячейке используются схемы И—НЕ (3, 4) типа ТТЛ-3 с дополнительными входными транзисторами  $T_v$  и  $T'_v$ . В качестве разностных элементов (1, 2) используются транзисторно-транзисторные схемы, работа которых описана в § 4.3. Как показывает сравнение схем  $JK$ -триггеров на рис. 4.7,б и 4.10,в, применение разностных элементов обеспечивает упрощение схемы. При этом также достигается экономия потребляемой мощности. Особенностью схем с разностными элементами, так же, как и схем с запоминающими емкостями, является ограничение на максимальную длительность фронта запускающего (отрицательного) перепада на тактовом входе. Однако при правильном проектировании схем это ограничение легко выполняется.

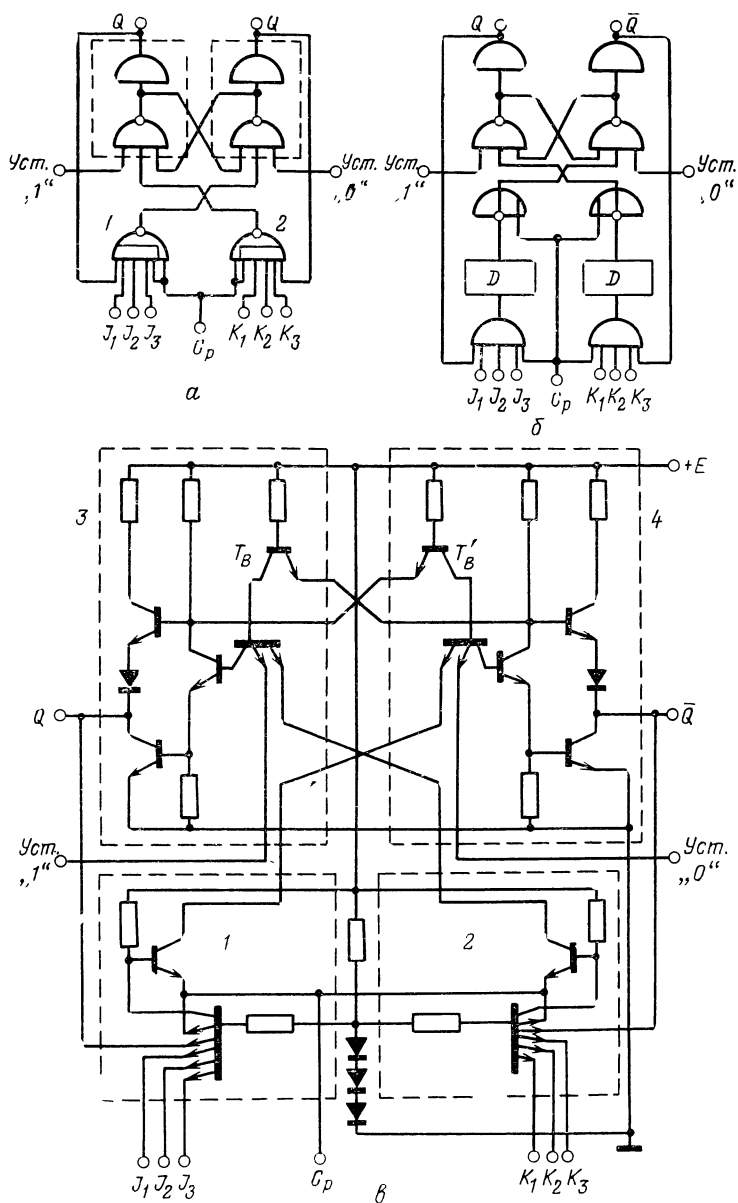


Рис. 4 10. Структурные (*а*, *б*) и принципиальная (*в*) схемы JK-триггера с разностными элементами.

В серии микросхем включаются также схемы, выполняющие различные вспомогательные функции. Наиболее распространен расширитель числа входов ИЛИ (рис. 4.11, а), который представляет собой сборку И и транзистор  $T_1$ .

Данная схема используется обычно совместно с логическими схемами И—НЕ, ИЛИ—НЕ, И—ИЛИ—НЕ со сложным инвертором, которые имеют дополнительные выводы от коллектора и эмиттера транзистора  $T_1$ . Расширитель подключается к этим выводам, и в результате образуется схема И—ИЛИ—НЕ (рис. 4.2). Максималь-

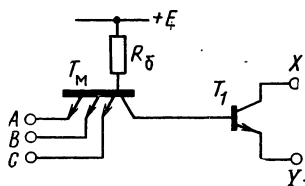


Рис. 4.11. Расширитель числа входов ИЛИ.

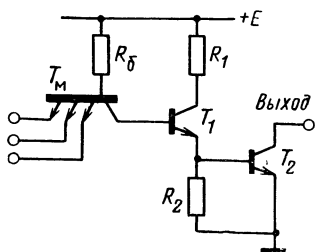


Рис. 4.12. Схема для работы на индикаторные элементы.

ное допустимое число расширителей, подключенных к одной схеме, составляет  $l=4\ldots 6$ , т. е. достигаемое при этом увеличение числа входов может быть весьма значительным. Однако подключение одного расширителя вызывает увеличение потребляемой мощности в соответствии с выражением (4.2) и снижение быстродействия логической схемы (приблизительно на 20...30%), вследствие увеличения паразитных емкостей на коллекторе и эмиттере транзистора  $T_1$ . Расширитель представляет собой по существу простейшую логическую схему И—НЕ типа ТТЛ-1 (см. § 1.3). Поэтому, подключив эмиттер транзистора  $T_1$  в расширителе к «земле», можно использовать эту схему для выполнения логических операций в цифровых устройствах с пониженным уровнем помех.

Эмиттер транзистора  $T_1$  расширителя можно также использовать в качестве дополнительного логического входа  $M$ . Тогда данная схема будет выполнять логиче-



скую функцию импликации:  $\overline{M(ABC)} = M + \overline{(ABC)}$ . При этом логической 1 соответствует закрытое состояние транзистора  $T_1$  расширителя.

Таким образом, схема расширителя по ИЛИ выполняет разнообразные функции и находит широкое применение. В серию включаются микросхемы, содержащие от 1 до 4 расширителей с различным числом входов (от 2 до 8).

Широко распространены вспомогательные схемы, служащие выходными каскадами для работы на различные индикаторные элементы: реле, лампы накаливания и т. п. Они представляют собой схемы И—НЕ типа ТТЛ-2 (§ 1.3), без резистора в коллекторной цепи выходного транзистора (схема с «открытым» коллектором, рис. 4.12). Индикаторные элементы включаются в коллекторную цепь выходного транзистора.

Входные характеристики, пороги переключения, помехоустойчивость и потребляемая мощность данной схемы определяются теми же выражениями, что и для схемы ТТЛ-3 (§ 2.1). Максимальная допустимая величина выходного тока нагрузки  $I_{н\text{ макс}}^0$  определяется из условия (2.13) насыщения выходного транзистора  $T_2$  в наилучшем случае:

$$I_{н\text{ макс}}^0 = \frac{B_{2\text{ мин}}}{S_{2\text{ мин}}(1 + \varepsilon_R)} \left( \frac{E - 2U_{э0} - U'_{ко}}{R_6} + \frac{E - U_{э0}}{R_1} - \frac{U_{э0}}{R_2} \right). \quad (4.3)$$

В состав отдельных серий включаются следующие вспомогательные схемы: одновибраторы (триггеры Шмитта) и мультивибраторы, в которых частота и длительность импульсов определяются внешними времязадающими элементами (конденсаторами и резисторами) [77], трансляторы логических сигналов от схем ТТЛ к схемам на МДП-транзисторах и обратно [85, 86].

В состав одной из серий входит схема разностного элемента управления, которая используется при построении различных счетчиков и регистров, существенно упрощая их структуру, уменьшая число микросхем и мощность, потребляемую устройством [84]. Принципиальная схема разностного элемента показана на рис. 4.13,а. Схема состоит из источника опорного напряжения  $E_0$  (резистор  $R_0$  и диоды  $D_1, D_2, D_3$ ) и формирователя импульсов на транзисторах  $T_1$  и  $T_2$ . На рис. 4.13,б показаны временные диаграммы напряжений и тока, иллюстрирующие работу схемы. Если на функциональных входах  $M$  поддерживается высокое напряжение  $U_1$ , то при низком напряжении

$U^0$  на тактовом входе  $C_p$ :  $U^0_{Cp} < U_{\Pi} = E_0 - U_{\Delta 0} \approx 2U_{\Delta 0}$  на коллекторе транзистора  $T_1$  устанавливается низкое напряжение и транзистор  $T_2$  закрывается. На выходе схемы поддерживается высокое напряжение  $U^1_{\text{вых}} \approx E$ . При поступлении на тактовый вход высокого напряжения  $U^1_{Cp} > U_{\Pi}$  транзистор  $T_1$  закрывается, в базу транзистора  $T_2$  начинает поступать ток  $i_{\Delta 2}$  и он входит в насыщение.

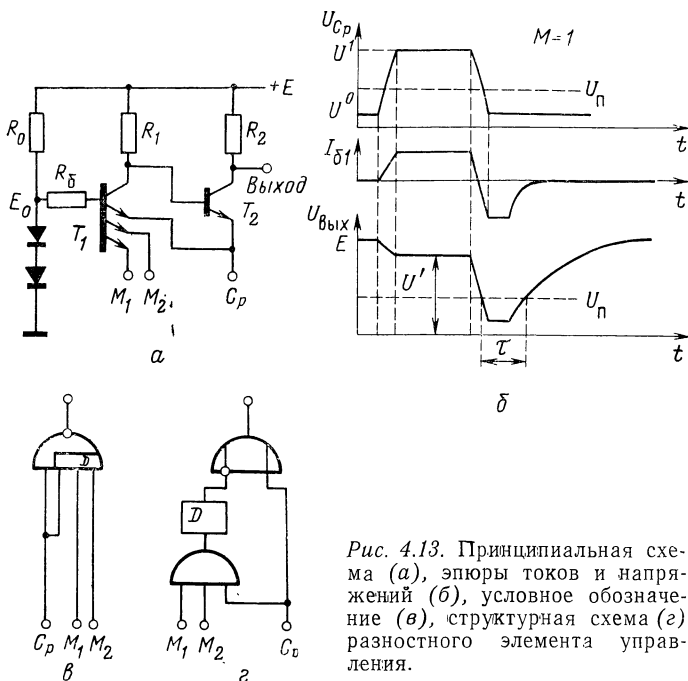


Рис. 4.13. Принципиальная схема (а), эпюры токов и напряжений (б), условное обозначение (в), структурная схема (г) разностного элемента управления.

На выходе сохраняется высокое напряжение  $U^1_{\text{вых}} \approx U^1_{Cp}$  (рис. 4.13, б). Если на вход  $C_p$  поступит отрицательный перепад напряжения от  $U^1_{Cp}$  до  $U^0_{Cp}$ , то напряжение на выходе сначала уменьшается до  $U^0_{\text{вых}} \approx U^0_{Cp}$  (рис. 4.13, б). Затем, после отпирания транзистора  $T_1$  и запираания транзистора  $T_2$ , выходное напряжение снова увеличивается до уровня  $U^1_{\text{вых}} \approx E$ .

Таким образом, на выходе схемы формируется отрицательный импульс, длительность которого  $\tau$  определяется временами отпирания  $T_1$ , рассасывания заряда в  $T_2$  и возрастания выходного напряжения от  $U^0_{Cp}$  до  $U_{\Pi} \approx 2U_{\Delta 0}$ .

Если хотя бы на одном из функциональных входов  $M$  поддерживается низкое напряжение  $U^0$ , то при любом напряжении на тактовом входе транзистор  $T_1$  открыт, а транзистор  $T_2$  закрыт. При этом на выходе сохраняется высокое напряжение  $U^1$ , т. е. импульс не формируется (рис. 4.13, в, г).

Разностный элемент проектируется таким образом, чтобы длительность импульса была достаточна для переключения других микросхем серии, в первую очередь триггеров. При медленном уменьшении напряжения на входе  $C_p$  амплитуда и длительность выходного импульса недостаточны для переключения триггеров. Поэтому при использовании разностных элементов накладывается ограничение на максимальную длительность отрицательного фронта  $t_{10\text{ ф макс}}$  тактового импульса. Однако допустимая величина  $t_{10\text{ ф макс}}$  достаточно велика, и выполнение данного ограничения не вызывает затруднений.

Вспомогательные схемы расширяют функциональные возможности серии и упрощают проектирование цифровых устройств.

#### 4.4. МИКРОСХЕМЫ С ПОВЫШЕННОЙ СТЕПЕНЬЮ ИНТЕГРАЦИИ

Расширение функционального состава серий происходит, главным образом, за счет схем с повышенной степенью интеграции, которые относятся к следующим классам:

- комбинационные схемы,
- последовательные схемы,
- схемы памяти.

Число схем с повышенной степенью интеграции и сложность выполняемых ими функций увеличиваются. Ввиду сложности и большого многообразия этих схем в настоящем разделе будут приведены отдельные примеры, иллюстрирующие способы их построения.

Среди комбинационных схем в виде микросхем с повышенной степенью интеграции чаще всего выпускаются дешифраторы, мультиплексеры и сумматоры.

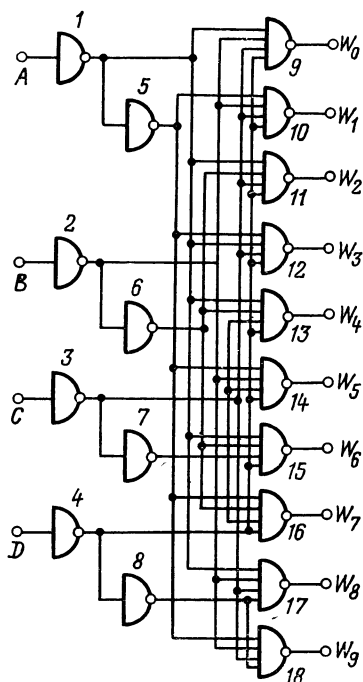


Рис. 4.14. Структурная схема десятичного дешифратора.

Дешифраторы осуществляют подачу сигнала на один из выходов при определенной комбинации сигналов на входах. На рис. 4.14 показана структурная схема дешифратора, который служит для преобразования двоичного или двоично-десятичного сигнала, поступающего на четыре входа, в сигналы, поступающие на один из десяти выходов (табл. 4.5) [87, 77]. В дешифраторе исполь-

Таблица 4.5

Входы				Выходы									
<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>	<i>W</i> <sub>0</sub>	<i>W</i> <sub>1</sub>	<i>W</i> <sub>2</sub>	<i>W</i> <sub>3</sub>	<i>W</i> <sub>4</sub>	<i>W</i> <sub>5</sub>	<i>W</i> <sub>6</sub>	<i>W</i> <sub>7</sub>	<i>W</i> <sub>8</sub>	<i>W</i> <sub>9</sub>
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1

зуются упрощенные входные инверторы (1—4) типа ТТЛ-2 (рис. 1.29) и промежуточные инверторы (5—8) типа ТТЛ-1 (рис. 1.22). Дешифраторы часто используются непосредственно для управления индикаторами либо исполнительными элементами (лампами, реле и т. п.). Поэтому схемы И—НЕ (9—18) имеют мощный выходной каскад (схема с «открытым коллектором», рис. 4.12).

Мультиплексеры по определенной комбинации сигналов на управляющих входах производят выборку двоичного сигнала с одного из входных каналов и передачу его на выход. Мультиплексеры могут быть использованы

как многопозиционные переключатели для выборки цифровых каналов, или как логические схемы, реализующие любые функции трех (4-входовый мультиплексер), четырех (8-входовый мультиплексер) и более переменных [88, 89]. Мультиплексеры используются также для преобразования двоичной информации в дополнительный код.

На рис. 4.15,а показана структурная схема 8-входового мультиплексера, функционирование которого определяется таблицей состояний 4.6. Мультиплексер (рис. 4.15,б) построен из инверторов и схемы И—ИЛИ—НЕ ( $l=8$ ,  $M=4$ ) типа ТТЛ-3.

Таблица 4.6

$C$	$B$	$A$	$D_0$	$D_1$	$D_2$	$D_3$	$D_4$	$D_5$	$D_6$	$D_7$	$\Psi$
0	0	0	0	×	×	×	×	×	×	×	1
0	0	0	1	×	×	×	×	×	×	×	0
0	0	1	×	0	×	×	×	×	×	×	1
0	0	1	×	1	×	×	×	×	×	×	0
0	1	0	×	×	0	×	×	×	×	×	1
0	1	0	×	×	1	×	×	×	×	×	0
0	1	1	×	×	×	0	×	×	×	×	1
0	1	1	×	×	×	1	×	×	×	×	0
1	0	0	×	×	×	×	0	×	×	×	1
1	0	0	×	×	×	×	1	×	×	×	0
1	0	1	×	×	×	×	×	0	×	×	1
1	0	1	×	×	×	×	×	1	×	×	0
1	1	0	×	×	×	×	×	×	0	×	1
1	1	0	×	×	×	×	×	×	1	×	0
1	1	1	×	×	×	×	×	×	×	0	1
1	1	1	×	×	×	×	×	×	×	1	0

× — произвольное состояние (0 или 1).

Сумматоры выполняют арифметическое сложение двоичных чисел. Выпускаются одно-, двух- и четырехразрядные сумматоры. На рис. 4.16 показана структурная схема двухразрядного сумматора, функционирование которого определяется таблицей состояний 4.7, где  $C_0$  —

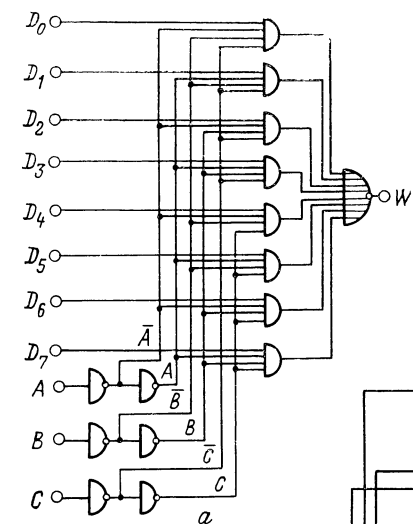
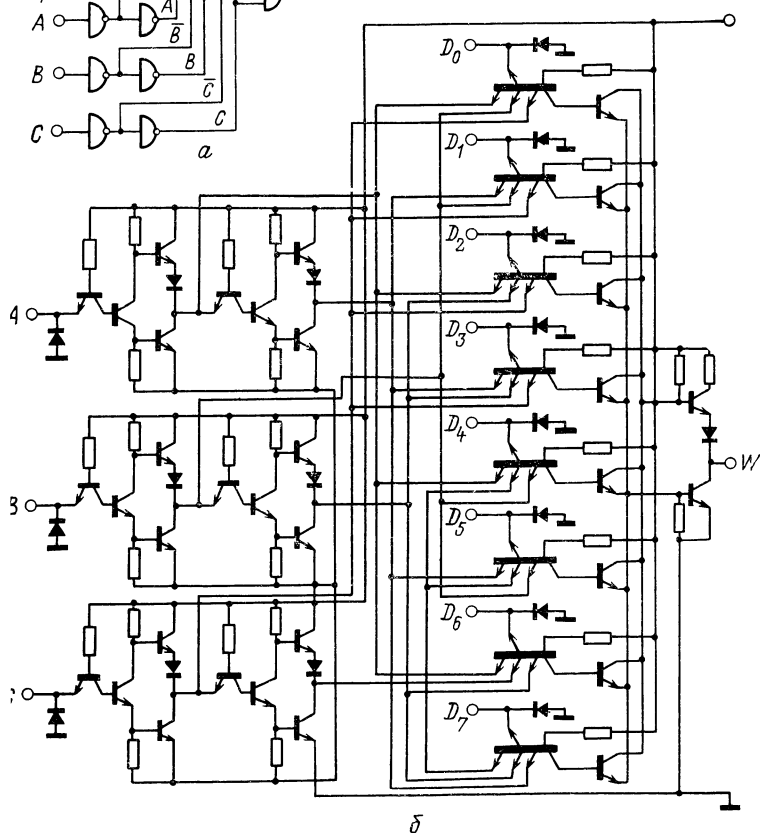


Рис. 4.15. Структурная (а) и принципиальная (б) схемы 8-входового мультиплексера.



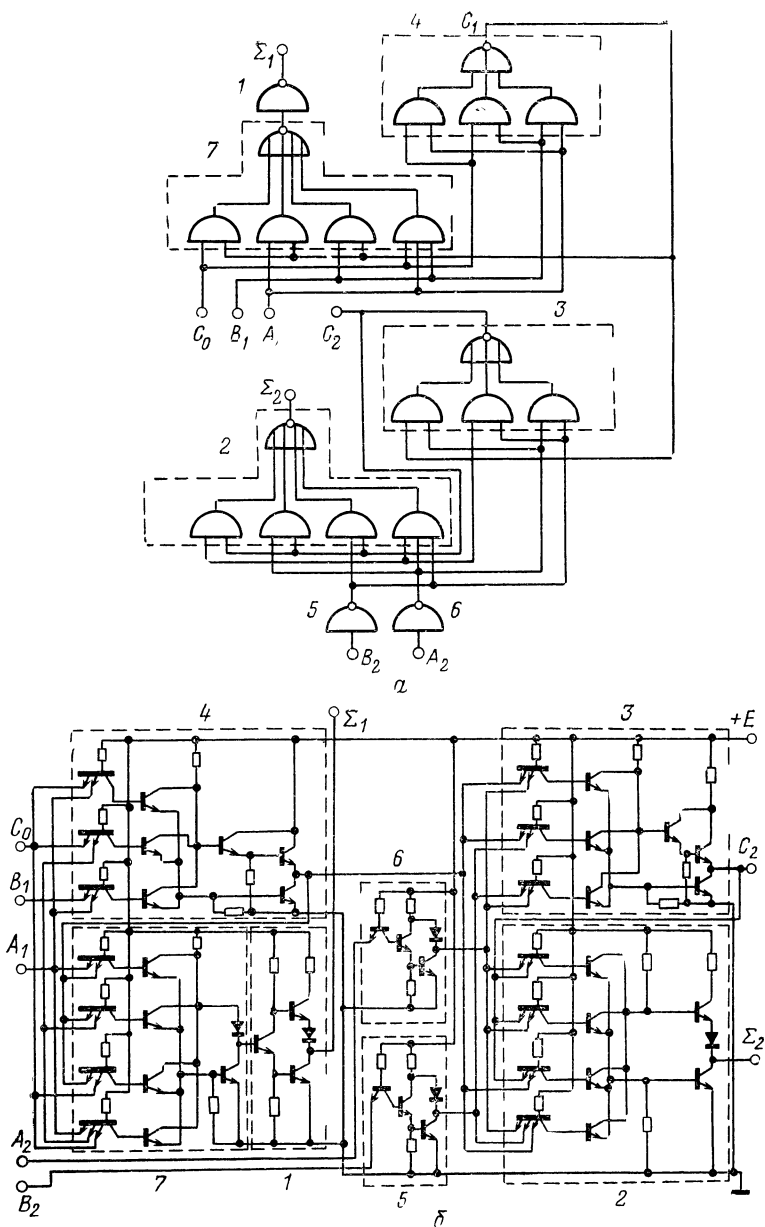


Рис. 4.16. Структурная (а) и принципиальная (б) схемы двухразрядного сумматора.

Таблица 4.7

Входы				Выходы					
$A_1$	$B_1$	$A_2$	$B_2$	при $C_0=0$			при $C_0=1$		
				$\Sigma_1$	$\Sigma_2$	$C_2$	$\Sigma_1$	$\Sigma_2$	$C_2$
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	0	0	1	0
0	1	0	0	1	0	0	0	1	0
1	1	0	0	0	1	0	1	1	0
0	0	1	0	0	1	0	1	1	0
1	0	1	0	1	1	0	0	0	1
0	1	1	0	1	1	0	0	0	1
1	1	1	0	0	0	1	1	0	1
0	0	0	1	0	1	0	1	1	0
1	0	0	1	1	1	0	0	0	1
0	1	0	1	1	1	0	0	0	1
1	1	0	1	0	0	1	1	0	1
0	0	1	1	0	0	1	1	0	1
1	0	1	1	1	0	1	0	1	1
0	1	1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1	1	1

сигнал переноса из предыдущего разряда,  $A_1$ ,  $A_2$  и  $B_1$ ,  $B_2$  — слагаемые (двухразрядные двоичные числа),  $\Sigma_1$ ,  $\Sigma_2$  — сумма,  $C_2$  — сигнал переноса в последующий разряд. Как видно из рис. 4.16,б, при построении сумматора используются инвертор (1) и схема И—ИЛИ—НЕ (2) типа ТТЛ-3, схемы И—ИЛИ—НЕ (3, 4) типа ТТЛ-4, а также упрощенные инверторы (5, 6) и схема И—ИЛИ—НЕ (7) типа ТТЛ-2 (рис. 1.29,в). В результате использования упрощенных схем достигается сокращение числа элементов, т. е. уменьшение площади схемы на кристалле.

Кроме перечисленных комбинационных схем повышенной степени интеграции выпускаются также компараторы, осуществляющие сравнение двух двоичных чисел, схемы проверки на четность и некоторые другие.

К последовательностным схемам повышенной степени интеграции относятся двоичные и десятичные счетчи-



ки, которые выполняют пересчет входных импульсов, и различного рода регистры, осуществляющие хранение и сдвиг двоичной информации.

На рис. 4.17 показана структурная схема десятичного двоично-пятиричного счетчика [77]. Во внутренней структуре счетчика используются  $JK$ -триггеры с дополни-

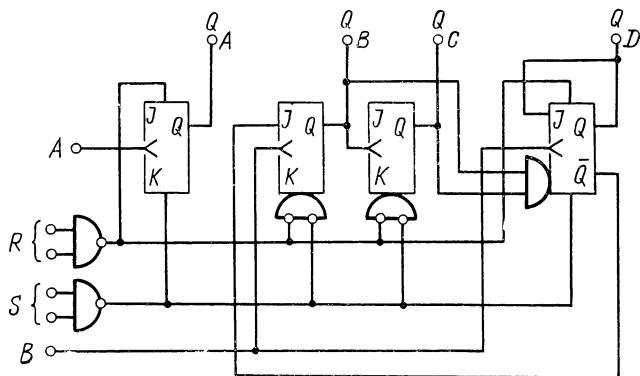


Рис. 4.17. Структурная схема десятичного счетчика.

тельными логическими схемами, И, НЕ—И на входах и схемы И—НЕ типа ТТЛ-3. Схема может быть использована как двоичный (вход  $A$ , выход  $Q_A$ ) и пятиричный (вход  $B$ , выходы  $Q_B$ ,  $Q_C$ ,  $Q_D$ ) счетчики, а при соединении выхода  $Q_A$  со входом  $B$  становится десятичным счетчиком. Установочные входы  $R$  и  $S$  позволяют произвести предварительный сброс или запись в счетчик некоторых чисел.

На рис. 4.18,а показана структурная схема сдвигового регистра на 8 бит с последовательным вводом и выводом информации. Регистр осуществляет сдвиг информации, поступающей на входы  $A$ ,  $B$  на 8 тактов. В регистре (рис. 4.18,б) используются 8 тактированных  $RS$ -триггеров (1—8) и упрощенные входная схема И—НЕ (9), инвертор (10), инвертор тактовых импульсов (11) типа ТТЛ-2. Триггер состоит из основной ( $A$ ) и вспомогательной ( $B$ ) бистабильных ячеек. При высоком напряжении на тактовом входе ( $C_p=1$ ) открывается один из транзисторов  $T_m$  или  $T'_m$  вспомогательной бистабильной ячейки, на эмиттер  $\mathcal{E}_1$  которого подано низкое напряжение. Другой транзистор при этом закрыт, так как на его эмиттер  $\mathcal{E}_1$  подается высокое напряжение. Выходные

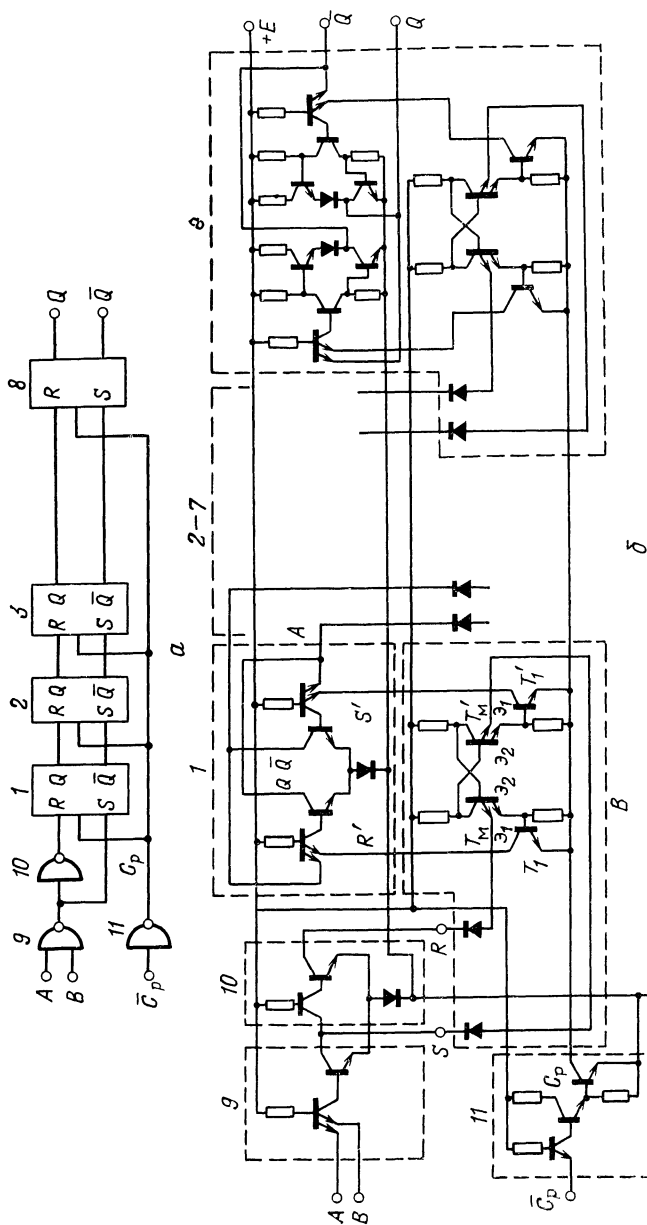


Рис. 4.18. Структурная (а) и принципиальная (б) схемы сдвигового регистра на 8 бит.

транзисторы  $T_1$  и  $T'_1$  при  $C_p=1$  закрыты, что соответствует подаче на входы  $R'$ ,  $S'$  основной бистабильной ячейки логических 1. При этом основная бистабильная ячейка не изменяет своего состояния.

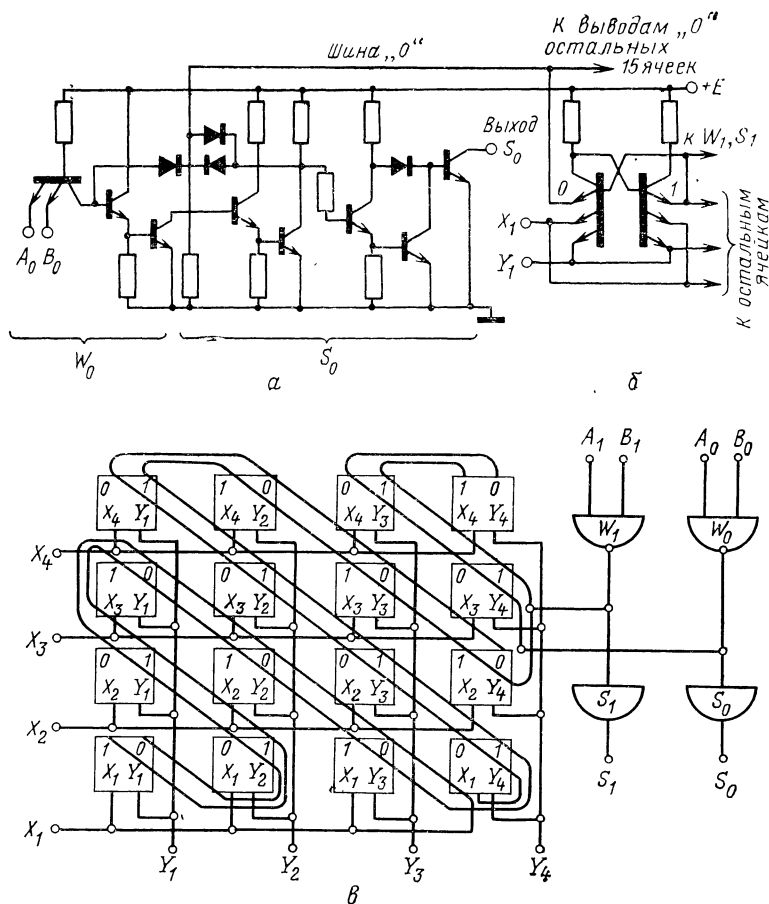


Рис. 4.19. Усилители записи и считывания ( $a$ ), схема памяти емкостью 16 бит, ячейка памяти ( $b$ ), структурная схема памяти ( $\delta$ ).

При поступлении низкого напряжения на вход  $C_p$  транзисторы  $T_m$  и  $T'_m$  сохраняют свое состояние, но эмиттерные переходы  $\mathcal{E}_1$  обоих транзисторов оказываются закрытыми. Ток открытого транзистора  $T_m$  или  $T'_m$  начи-

нает течь через эмиттерный переход  $\mathcal{E}_2$  и, поступая в базу выходного транзистора ( $T_1$  или  $T'_1$ ), открывает его. На соответствующем выходе ( $R'$  или  $S'$ ) вспомогательной бистабильной ячейки устанавливается низкое напряжение, а на другом выходе — высокое. Под действием этих сигналов основная бистабильная ячейка устанавливается в требуемое состояние. Таким образом, при  $C_p=1$  происходит запись информации во вспомогательную ячейку, а при  $C_p=0$  эта информация поступает в основную ячейку. В результате логические сигналы с входов  $R$  и  $S$  триггера спустя один период тактовых импульсов передаются на выходы  $Q$  и  $\bar{Q}$  триггера. В триггерах 1—7, используемых во внутренней структуре регистра, основная бистабильная ячейка построена из упрощенных схем И—НЕ, аналогичных входной схеме, которые имеют повышенное напряжение логического 0 ( $U^0 \approx 1,0$  В) и низкий коэффициент разветвления на выходе ( $N=1$ ). В триггере 8 используются типовые схемы И—НЕ типа ТТЛ-3, чтобы обеспечить на выходе регистра нормальные значения логических уровней и высокий коэффициент разветвления.

В серию микросхем входят несколько типов сдвиговых регистров, сдвигающих информацию только вправо или с реверсивным сдвигом, с последовательной или параллельной выборкой данных и различным числом разрядов (4, 8 и более).

Схемы памяти малой емкости (4, 8 бит) строятся на основе  $RS$ -триггеров, описанных в § 4.2 (см., например, ячейку памяти на рис. 4.4). Однако для памяти повышенной емкости: 16, 64 и более бит — использовать  $RS$ -триггеры на основе схем И—НЕ типа ТТЛ-3 нецелесообразно, так как такие схемы занимают значительную площадь на кристалле. В этом случае в качестве ячеек памяти используются простейшие бистабильные ячейки (рис. 4.19,б), которые потребляют малую мощность, занимают небольшую площадь на кристалле, но имеют пониженные помехоустойчивость и нагрузочную способность. Ячейка имеет выводы 0, 1 для записи и считывания информации и адресные входы  $X$ ,  $Y$ . При высоком напряжении на обоих входах  $X$ ,  $Y$  в ячейку записывается информация 0 или 1 подачей на соответствующий вывод сигнала от усилителей записи  $W_0$ ,  $W_1$ . При низком напряжении на входах  $X$ ,  $Y$  ячейка сохраняет записанную информацию при любом сигнале на выводах 0, 1. Для

считывания информации следует подать высокое напряжение на входы  $X$ ,  $Y$ . При этом на выводах  $0$ ,  $1$  устанавливаются сигналы, соответствующие записанной в ячейке информации. Усилители считывания  $S_0$ ,  $S_1$  передают эти сигналы на выходы схемы памяти. Применение усилителей записи и считывания (рис. 4.19,а) обеспечивает высокую помехоустойчивость схемы памяти ( $\Delta U_{\text{п}} \geq 0,4 \text{ В}$  в диапазоне рабочих условий) и большую нагрузочную способность.

Используя описанные ячейки, можно построить схемы памяти значительной емкости (до 256 бит). На рис. 4.19,б показана структурная схема памяти на 16 бит. Схема состоит из 16 ячеек памяти, усилителей записи  $W_0$ ,  $W_1$  и считывания  $S_0$ ,  $S_1$ . Выборка ячейки производится подачей высокого напряжения на соответствующие адресные входы  $X$  и  $Y$ . Запись логического 0 в выбранную ячейку осуществляется подачей низкого напряжения на любой из входов  $A_0$ ,  $B_0$  усилителя записи  $W_0$ , запись 1 — подачей низкого напряжения на входы  $A_1$ ,  $B_1$  усилителя  $W_1$ . Сигнал, считываемый из выбранной ячейки, поступает на выходы  $S_0$  «считывание 0» и  $S_1$  — «считывание 1».

Как видно из приведенных примеров, схемы повышенной степени интеграции по числу элементов эквивалентны 10...20 логическим схемам И—НЕ типа ТТЛ-3. Таким образом, они относятся к микросхемам среднего уровня интеграции. В их структуре наряду с основными вариантами схем И—НЕ, И—ИЛИ—НЕ со сложным инвертором (схемы ТТЛ-3, ТТЛ-4 и их модификации) широко используются упрощенные логические схемы: ТТЛ-1, ТТЛ-2 и их модификации. Сочетание логических схем различной сложности позволяет получить оптимальную схемотехническую реализацию, удовлетворяющую поставленным требованиям по основным электрическим параметрам и занимающую малую площадь кристалла при интегральном исполнении. При этом большинство рассмотренных схем удастся расположить в стандартном металло-стеклянном или пластмассовом корпусе с 14 выводами, а для некоторых схем используются корпуса с 16 выводами.

Однако степень интеграции непрерывно повышается, и в последнее время появляются микросхемы ТТЛ, эквивалентные по сложности 40...50 и более схемам И—НЕ типа ТТЛ-3. Благодаря совершенствованию инте-

гратальной технологии данные схемы среднего уровня интеграции удается разместить практически на такой же площади кристалла (несколько квадратных миллиметров). Такие схемы выполняют более сложные функции и требуют большего числа внешних выводов. Для их размещения разработаны корпуса с 24, 36 и более выводами. При этом используются схемы И—НЕ, И—ИЛИ—НЕ типа ТТЛ-1, ТТЛ-2, ТТЛ-3, ТТЛ-4 и различные их модификации.

Таким образом, процесс повышения интеграции микросхем ТТЛ продолжается, и в ближайшем будущем следует ожидать появления больших интегральных схем (БИС), эквивалентных по сложности сотням схем И—НЕ.

## ЗАКЛЮЧЕНИЕ

Разработка и промышленный выпуск интегральных микросхем ТТЛ является одним из наиболее значительных достижений современной микроэлектроники. При создании этих микросхем был использован уже имевшийся опыт проектирования транзисторных логических схем из дискретных элементов, который был творчески развит с учетом возможностей интегральной технологии. В результате разработанные и выпускаемые микросхемы ТТЛ имеют высокие показатели по всем основным электрическим параметрам: помехоустойчивости, нагрузочной способности, быстродействию и потребляемой мощности, чего не удается достичь для микросхем других типов логик. Значительное многообразие схемотехнических решений, используемых в транзисторно-транзисторной логике, позволяет создавать на ее основе цифровые схемы, выполняющие самые разнообразные функции и обеспечивающие различные сочетания значений основных электрических параметров. Выпускаемые промышленностью серии интегральных микросхем ТТЛ имеют весьма широкую номенклатуру, включающую несколько десятков типов микросхем, что позволяет удовлетворить потребности большого круга разработчиков цифровой аппаратуры [90, 91].

В последнее время начат выпуск взаимно дополняющих серий микросхем ТТЛ: например, маломощная серия, серия среднего быстродействия и быстродействующая серия, микросхемы которых согласованы по своим

электрическим и конструктивным параметрам для совместного использования в цифровой аппаратуре. Использование этих серий позволяет еще более улучшить характеристики микроэлектронной аппаратуры.

Микросхемы ТТЛ находят применение в широком классе цифровых устройств, начиная от малоомощной аппаратуры, где они успешно конкурируют с микросхемами на МДП-транзисторах, и до сверхбыстродействующей аппаратуры, где они стали серьезными соперниками микросхем с эмиттерной связью. При этом микросхемы ТТЛ — полностью доминируют в аппаратуре среднего быстродействия. В настоящее время они являются наиболее распространенным типом цифровых схем на биполярных транзисторах, и по прогнозам это положение сохранится в ближайшие 5...10 лет.

Развитие схем ТТЛ происходит по двум направлениям: улучшение параметров уже разработанных схем; разработка схем, реализующих новые функции.

Параметры схем улучшаются как в результате совершенствования технологии изготовления микросхем, так и в результате разработки новых схемотехнических решений. Причем следует отметить, что разработка новых схемотехнических решений также часто производится на базе расширения возможностей технологии, в результате чего в микросхемы вводятся новые элементы (например, диоды Шоттки) либо элементы приобретают некоторые новые свойства (например, повышенный коэффициент  $B$ , в транзисторах, изготовленных по технологии ИДК). На этом пути можно ожидать в ближайшем будущем появления новых модификаций схем ТТЛ, параметры которых будут улучшены, например, благодаря применению дополняющих  $n$ - $p$ - $n$  и  $p$ - $n$ - $p$  транзисторов [92] или совместному использованию биполярных и МДП-транзисторов [93, 94].

Разработка схем ТТЛ, реализующих новые функции, ведется, главным образом, в направлении повышения степени интеграции микросхем, в результате чего они реализуют все более сложные функции. Уже сейчас широко выпускаются среднемасштабные интегральные схемы ТТЛ, эквивалентные по сложности 30...40 схемам И—НЕ. В ближайшем будущем степень интеграции повысится до 100 и более эквивалентных схем И—НЕ. Такие крупномасштабные интегральные схемы будут реализовывать функции целых блоков и устройств цифро-

вой аппаратуры. Следует отметить, что повышение степени интеграции достигается как совершенствованием технологии изготовления и разработкой новых технологических процессов, так и использованием новых схемотехнических решений при построении внутренней структуры БИС.

Таким образом, микросхемы ТТЛ представляют собой новый, уже достаточно обширный класс цифровых схем, который находит широкое применение в настоящее время и имеет хорошие перспективы для дальнейшего развития.



## СПИСОК ЛИТЕРАТУРЫ

1. Миниатюризация и микроминиатюризация радиоэлектронной аппаратуры. Пер. с англ. Под ред. Н. А. Барканова и М. С. Лихачева. М., «Мир», 1965.
2. Микроэлектроника. Пер. с англ. Под ред. Н. П. Богородицкого. М., «Сов. радио», 1966.
3. Интегральные схемы. Основы проектирования и технологии. Пер. с англ. Под ред. К. И. Мартюшова. М., «Сов. радио», 1970. Авт.: Г. Р. Мэдленд, Г. К. Дикен, Р. Д. Ричардсон и др.
4. Пленочная микроэлектроника. Пер. с англ. Под ред. М. И. Елинсона. М., «Мир», 1968.
5. Интегральные схемы. Принципы конструирования и производства. Пер. с англ. Под ред. А. А. Колосова. М., «Сов. радио», 1968.
6. Колосов А. А., Горбунов Ю. И., Наумов Ю. Е. Полупроводниковые твердые схемы. М., «Сов. радио», 1965.
7. Долкарт В. М., Новик Г. Х., Колтыпин И. С. Микроминиатюрные аэрокосмические цифровые вычислительные машины. М., «Сов. радио», 1967.
8. Анализ и расчет интегральных схем. Пер. с англ. Ч. I. Под ред. Б. И. Ермолаева и П. И. Завалишина; ч. II. Под ред. Б. И. Ермолаева. М., «Мир», 1969.
9. Наумов Ю. Е. Интегральные логические схемы. М., «Сов. радио», 1970.
10. Mitchell E. P., Pope K. D. Which IC logic form. — «Electrical Design News», 1966, v. 11, № 10, p. 28—35.
11. Hogle W. B. Integrated logic circuits: a comparative evolution. — «Computer Design», 1967, v. 6, № 1, p. 36—47.
12. Segallis B. Forum on microcircuits. — «Electronic product», 1967, v. 9, № 11, p. 34—63.
13. Наумов Ю. Е. Сравнение различных типов транзисторных интегральных логических схем. — В кн.: Микроэлектроника. Под ред. Ф. В. Лукина. Вып. 1. М., «Сов. радио», 1970. с. 177—207.
14. Шагурин И. И. Сравнительный анализ интегральных насыщенных логических элементов. — «Известия вузов. Радиоэлектроника», 1968, т. XI, № 7, с. 730—746.
15. Патерсон. Микро мощные дополняющие логические схемы. — «ТИИЭР», 1964, т. 52, № 12, с. 1716—1718.
16. Stechlin R. A., Niemann G. W. Complementary transistor-transistor logic (CTL) — an approach to high-speed micropower logic. — «IEEE J. of Solid-State Circuits.» 1972, v. CS-7, № 2, p. 153—160.
17. Semiconductor outlook. — «Electronic News», 1972, v. 17, № 860, p. 4—5.
18. Степаненко И. П. Основы теории транзисторов и транзисторных схем. М., «Энергия», 1972.

19. Нанавати Р. П. Введение в полупроводниковую электронику. Пер. с англ. Под ред. Я. А. Федотова. М., «Связь», 1965.

20. Агаханян Т. М. Электронные ключи и нелинейные импульсные усилители. М., «Сов. радио», 1966.

21. Лоу. Физическая реализация цифровых логических схем. — В кн.: Микроомощная электроника. Пер. с англ. Под ред. Е. И. Гальперина. М., «Сов. радио», 1967, с. 30—55.

22. Люке. Запас помехоустойчивости цифровых интегральных схем. — «ТИИЭР», 1964, т. 52, № 12, с. 1698—1705.

23. Simmons B. D. Noise and digital IC's. — «Electronic Equipment News», 1968, v. 9, № 12, p. 12—23.

24. Hill C. F. Noise margin and noise immunity in logic circuits. — «Microelectronics», 1968, v. 1, № 5, p. 16—21.

25. Васильева Н. П. Критерии оптимальности параметров логических элементов из условия получения наибольшей устойчивости. — «Автоматика и телемеханика», 1968, т. 29, № 2, с. 122—135.

26. Корж В. И., Шагурин И. И. Графический метод определения помехоустойчивости цепочек логических элементов. — «Известия вузов. Приборостроение», 1970, т. XIII, № 6, с. 52—59.

27. Пельцер, Херндол. Новый метод изоляции биполярных структур, обеспечивающий создание быстродействующих ЗУ с высокой плотностью элементов. — «Электроника». Пер. с англ., 1971, т. 44, № 5, с. 35—39.

28. Хенкель, Филдс. Изопланарный процесс изготовления ИС. — «Электроника», 1971, т. 44, № 7, с. 55—56.

29. Де Фалько. ИС на биполярных транзисторах с высокой плотностью элементов. — «Электроника», 1971, т. 44, № 15, с. 35—40.

30. Murphy B. L., Glinsky V. I. TTL with high packing density and optimum performance at high inverse gain. — «IEEE J. of Solid-State Circuits», 1968, v. SC-3, № 3, p. 261—267.

31. Интегральные схемы с изоляцией, создаваемой при диффузии коллектора. — «ТИИЭР», 1969, т. 57, № 8, с. 65—70. Авт.: Мэрфи, Глински, Гэри, Пердерсен.

32. Murphy B. T., Neville S. M., Pedersen R. A. Simplified bipolar technology and its application to systems. — «IEEE J. of Solid-State Circuits», 1970, v. SC-5, № 1, p. 7—14.

33. Design of high-performance TTL employing CDI component structures. — «IEEE J. of Solid-State Circuits», 1970, v. SC-5, № 1, p. 227—235, Авт.: P. A. Gary, R. A. Pedersen, B. H. Soloway, R. A. Reed.

34. Шагурин И. И. Многоэмиттерный транзистор как компонент интегральных логических схем. — «Известия вузов. Радиоэлектроника», 1967, т. X, № 9—10, с. 809—885.

35. Lin H. C. Diode operation of a transistor in functional blocks. — «Trans. IEEE», 1963, v. ED-10, № 3, p. 189—96.

36. Mercl E. D., Griffith P. G. The simulation of diodes with transistors. — «Proc. IEEE», 1964, v. 52, № 9, p. 1150—1151.

37. Старосельский В. И., Шагурин И. И. О диодном включении транзистора в интегральной схеме. — «Известия вузов. Радиоэлектроника», 1968, т. XI, № 10, с. 1037—1045.

38. Лоскутов Б. П., Лебедев В. И., Гусев А. В. Расчет длительности процессов запираания в пяти диодных схемах включения интегрального транзистора. — В кн.: Микроэлектроника. Под ред. Т. М. Агаханяна. Вып. 1, «Атомиздат», 1971.

39. Cushman R. N. Schottky diodes speed up digital IC's — «Electrical Design News», 1969, v. 14, № 1, p. 12—16.
40. Transistor Schottky-barrier-diode integrated logic circuits — «IEEE J. of Solid-State Circuits», 1969, v. SC-4, № 1, p. 3—10. Aut J. Tarui, I. Hayashi, H. Teshima, T. Sekugawa.
41. Носов Ю. Р. Полупроводниковые приборы на основе барьера Шоттки. — В кн.: Полупроводниковые приборы и их применение. Под ред. Я. А. Федотова. Вып. 25. М., «Сов. радио», 1971.
42. Нойс, Бон, Чуа. Приборы с барьером Шоттки в интегральных схемах. — «Электроника». Пер. с англ., 1969, т. 42, № 15, с. 3—10.
43. Франсон. ТТЛ с диодами Шоттки как конкурент логических ИС на переключателях тока. — «Электроника», 1971, т. 44, № 5, с. 52—55.
44. Тада, Ларайо. Уменьшение времени накопления в составном транзисторе с диодом Шоттки. — «ТИИЭР», 1967, т. 55, № 11, с. 318.
45. Шагурин И. И., Петров Л. Н., Татьянин В. И. Сравнение модификаций элементов ТТЛ и ДТЛ, использующих диоды Шоттки. — «Известия вузов. Радиоэлектроника», 1971, т. XIV, № 11, с. 1365—1369.
46. De Troye N., Bongelaar W. Worst-case consideration in designing logic circuits. — «Electronic Applications», 1963—1964, v. 24, № 4, p. 125—36.
47. Wiedman S. K. A novel saturation control in TTL circuits. — «IEEE J. of Solid-State Circuits», 1972, v. SC-7, № 3, p. 253—258.
48. Новая быстродействующая логическая схема на ИС. — «Электроника», 1968, т. 41, № 3, с. 46—47.
49. Kurz B., Barron M. B. Improved Shottky clamped TTL circuits. — «IEEE J. of Solid-State Circuits», 1972, v. SC-7, № 2, p. 175—179.
50. Priel U. Take a look inside the TTL IC. — «Electronic Design», 1971, v. 19, № 8, p. 88—91.
51. Chua H. T. Transient overdrive for diode-transistor logic circuits. Пат. № 342474 от 24.2.1966.
52. Mayo I. S., Stickler M. G. Integrated circuits for digital transmission system. — «Bell Labor. Record», 1966, v. 44, № 9, p. 325.
53. Кхамбата А. Большие интегральные схемы. Пер. с англ., М., «Мир», 1971.
54. Taking the knicks out of TTL. — «Microelectronics», 1968, v. 1, № 7, p. 6.
55. Mailliet J. C. Etude des reflexion sur les circuits TTL utilises avec des lignes de transmission. — «Electronique industrielle», 1968, v. 11, № 114, p. 427—432.
56. Ngugen-huu A. An analysis of the ringing phenomenon in digital systems. — «Computer Design», 1971, v. 10, № 7, p. 39—45.
57. Шагурин И. И., Контарев В. Я., Струков В. Н. Анализ переходных процессов в ТТЛ микросхемах со сложными инверторами. — В кн.: Микроэлектроника. Под ред. Ф. В. Лукина. Вып. 4. М., «Сов. радио», 1970, с. 90—105.
58. Preventing unused inputs from degrading IC performance. — «Electronic Design», 1967, v. 15, № 9, p. 31—32.

59. Стагическая и динамическая мощность быстродействующих схем ТТЛ. — «Электронная промышленность», 1971, № 4, с. 19—22. Авт. В. М. Долкарт, Г. Х. Новик, Н. И. Николаева, С. Ф. Редина.

60. Slaymaker W. Designing with compatible IC logic families. — «Electronic Equipment Engineering», 1968, v. 16, № 11, p. 54—61.

61. Depey M. Quelques aspects du fonctionnement des circuits integres logiques TTL. — «L'Onde Electrique», 1968, v. 4, № 494, p. 443—448.

62. High speed integrated logic circuits. — In: International Solid-State Circuit Conference, 1966, p. 14—15. Aut.: L. D. Hirsch, J. D. Moore, L. J. Pollock, J. B. Koons.

63. Арустамян В. Е. и др. Транзисторно-транзисторная логическая схема. Авт. свидетельство № 314307. — «БИ», 1971, № 27. Авт. изобретения: В. Е. Арустамян, Л. А. Григорян, С. Е. Казарян, И. А. Момджян, А. Е. Саркисян.

64. Александров В. П., Федосеев А. И., Шагурин И. И. Быстродействующие транзисторно-транзисторные логические элементы со сложными инверторами. — «Известия вузов. Радиоэлектроника», 1969, т. XII, № 7, с. 660—671.

65. Bruchez J. A. Application of a new isolation technique to digital integrated circuits. — In: International Conference on Microelectronics», Eastborne, 1969, p. 34—36.

66. Патент Японии № 17487 от 15.5.1971 г. с приоритетом от 11.4.1966 г.

67. Third generation TTL solves transfer «ringing» problems — «Electronics», 1968, v. 41, № 13, p. 23.

68. ИС типа ТТЛ с повышенной помехоустойчивостью. — «Электроника». Пер. с англ., 1968, т. 41, № 14, с. 62—63.

69. The microelectronics data book. Second edition. Motorola semiconductor prod. 1969.

70. Наумов Ю. Е., Пучков И. Ф. Диодно-транзисторная логическая схема с обратной связью. — В кн.: Микроэлектроника. Под ред. Ф. В. Лукина. Вып. 5. М., «Сов. радио», 1972, с. 166—181.

71. Шагалин В. В. Быстродействующая интегральная ТТЛ схема с диодами Шоттки. Авт. свид. № 294253. — «БИ», 1971, № 6.

72. ТТЛ схемы с транзисторами, фиксированными диодами Шоттки. — «Электроника». 1970, т. 43, № 12, с. 79.

73. Новые изделия в серии ТТЛ схем с тремя логическими состояниями. — «Электроника». 1970, т. 43, № 14, с. 81.

74. Шитс. Переключательная ТТЛ-схема с тремя состояниями, реализующая логический элемент ИЛИ. — «Электроника». 1970, т. 43, № 9, с. 3—11.

75. Fimling D. Enhancement of modular design capability by use of tri-state logic. — «Computer Design», 1971, v. 10, № 6, p. 59—64.

76. Mrazek D. Bus-connectable TTL adds a new state to binary logic. — «EDN/EEE», 1971, v. 16, № 14, p. 19—26.

77. TTL Integrated Circuits. «Catalog from Texas Instruments», August 1969.

78. Dummer G. W. A., Robinson M. K. 68—69. Anglo-American Microelectronic Data, v. I, II, Pergamon Press, 1969.

79. Комплекс логических полупроводниковых интегральных микросхем типа ТТЛ. — «Электронная техника. Сер. VI. Микроэлектроника», 1969, вып. 3, с. 4—9. Авт.: К. А. Валиев, В. Я. Контарев, О. А. Крамаренко, С. И. Назаров, Б. В. Орлов, Ю. А. Райнов, В. Н. Струков.

80. Быстродействующие интегральные полупроводниковые схемы транзисторно-транзисторной логики серии 130. — «Электронная техника. Сер. VI. Микроэлектроника», 1971, вып. 8, с. 3—15. Авт.: К. А. Валиев, В. Я. Контарев, Б. В. Орлов, Ю. И. Щетинин, В. А. Сиедин, Б. И. Злыднев, О. Л. Крамаренко, С. Н. Назаров, Г. Э. Широ.

81. Фистер М. Логическое проектирование цифровых вычислительных машин. Пер. с англ. Под ред. В. М. Глушкова. Киев, «Техника», 1964.

82. Алексенко А. Г. Основы микросхемотехники. М., «Сов. радио», 1971.

83. Алексенко А. Г., Сапелников А. И., Шагурин И. И. Метод проектирования триггерных структур на интегральных схемах. — В кн.: Микроэлектроника. Под ред. Ф. В. Лукина. Вып. 3. М., «Сов. радио», 1969, с. 140—158.

84. Разностный элемент управления для последовательных интегральных ТТЛ-структур. — В кн.: Микроэлектроника. Под ред. Ф. В. Лукина. Вып. 5, М., «Сов. радио», 1972, с. 221—226. Авт.: А. Г. Алексенко, В. К. Камотесов, С. В. Ротнов, И. И. Шагурин.

85. Многоцелевая ИС для сопряжения логических цепей. — «Электроника», 1970, т. 43, № 6, с. 81—82.

86. Схемы связи для согласования сигналов ТТЛ и МОП-схем. — «Электроника», 1970, т. 43, № 19, с. 80—81.

87. Linford I. K. Binary-to-BCD conversion with complex IC functions. — «Computer Design», 1970, v. 9, p. 53—61.

88. Viola A. R. MSI. The designer's choice. — «Electrical Design News», 1970, v. 15, № 1, p. 49—53.

89. Buckley I. E. Digital multiplexer fundamentals. — «Computer Design», 1971, v. 10, № 5, p. 14—17.

90. TTL Description and applications of the Mullard FI range of integrated transistor-transistor logic circuits, London, Mullard, 1967.

91. Morris R. L. Designing with TTL IC's. New York, McGraw Hill, 1971.

92. Диковский В. И., Родионов А. В. Кремниевые транзисторы  $n$ - $p$ - $n$  и  $p$ - $n$ - $p$  типов на одном кристалле. — «Электронная техника. Сер. II. Полупроводниковые приборы», 1972, вып. 3, с. 11—17.

93. Линк, Кук, Лесневский. Интегральные схемы с элементарными структурами полевых и биполярных транзисторов на едином кристалле. — «Электроника», 1970, т. 43, № 18, с. 16—21.

94. Сочетание МОП и биполярных транзисторов в интегральных схемах. — «Электронная техника. Сер. VI. Микроэлектроника», 1971, вып. 1, с. 33—38. Авт. М. И. Горюшкин, И. А. Крылова, Ю. А. Петин, Н. В. Семёнова, В. Е. Устилко.

95. Букреев И. Н., Мансуров Б. М., Горячев В. И. Микроэлектронные схемы цифровых устройств. М., «Сов. радио», 1973.

## ДОПОЛНИТЕЛЬНЫЙ СПИСОК ЛИТЕРАТУРЫ

(описание типовых схем ТТЛ, анализ их работы, сравнение с другими типами логических схем, вопросы применения)

1. De Falco J. A. Comparison and uses of TTL circuits. — «Computer Design», 1972, v. 11, № 2, p. 63—68.
2. Integrated circuit technology and applications (part VII). — «Electronic Components», 1968, v. 4, № 1, p. 77—83.
3. Turner C. Low power TTL. — «Microelectronics», 1969, v. 2, № 5, p. 34—37.
4. Tizzard P. J., Turner J. J. Analysis of TTL operation and design. — «Microelectronics», 1968, v. 1, № 2, p. 28—33.
5. Tirrel J. C. Power consideration in high speed TTL logic. — «Computer Design», 1969, v. 8, № 2, p. 36—47.
6. Cubinec J. J. Determine inverter risetime quickly. — «Electronic Design», 1969, v. 17, № 115, p. 74—81.
7. Кирст Э. А. Задержка выключения в транзисторно-транзисторных логических схемах. — «Известия вузов. Приборостроение», 1970, т. XIII, № 2, с. 68—71.
8. Murrey D. E. High speed integrated circuits. — «Microelectronics», 1968, v. 1, № 11, p. 12—17.
9. Torrero E. A. Focus on fast logic. — «Electronic Design», 1972, v. 20, № 12, p. 49—60.
10. Sanz R. G., Fulcher E. M. An approach to logic circuit noise problems in computer design. — «Computer Design», 1969, v. 8, № 4, p. 84—91.
11. McCann M. Worst case TTL line driving. — «Microelectronics», 1971, v. 3, № 10, p. 45—55.
12. Calabotta S. Use three-state logic with confidence and simplify data busing. — «Electronic Design», 1972, v. 20, № 14, p. 70—73.

## О Г Л А В Л Е Н И Е

Предисловие . . . . .	3
Условные обозначения . . . . .	5
Введение . . . . .	7
<b>Глава 1. Параметры и элементы схем ТТЛ и их простейшие варианты</b>	<b>11</b>
1.1. Основные параметры и характеристики схем . . . . .	11
1.2. Элементы интегральных схем . . . . .	21
1.3. Простейшие варианты схем ТТЛ . . . . .	32
<b>Глава 2. Основной вариант схемы И—НЕ ТТЛ</b>	<b>48</b>
2.1. Статические характеристики и параметры . . . . .	48
2.2. Переходные характеристики . . . . .	66
2.3. Методика расчета . . . . .	83
<b>Глава 3. Модифицированные схемы ТТЛ со сложными ин- верторами</b>	<b>88</b>
3.1. Схема с повышенным коэффициентом разветвления на выходе . . . . .	88
3.2. Схемы с повышенным быстродействием . . . . .	92
3.3. Схемы с повышенной помехоустойчивостью . . . . .	97
3.4. Схемы с диодами и транзисторами Шоттки . . . . .	104
3.5. Схемы, отключающиеся от нагрузки . . . . .	109
3.6. Сравнение основных модификаций схем ТТЛ . . . . .	111
<b>Глава 4. Состав типовых серий интегральных микросхем ТТЛ</b>	<b>116</b>
4.1. Логические схемы . . . . .	116
4.2. Триггеры . . . . .	121
4.3. Вспомогательные схемы . . . . .	135
4.4. Микросхемы с повышенной степенью интеграции . . . . .	138
Заключение . . . . .	149
Литература . . . . .	152

**Игорь Иванович Шагурин**  
**Транзисторно-транзисторные логические схемы**  
Под редакцией *Ю. Е. Наумова*

Редактор **Н. Я. Аренберг**  
Художественный редактор **З. Е. Вендрова**  
Обложка художника **Б. К. Шаповалова**  
Технические редакторы: **З. Н. Ратникова,**  
**Г. А. Мешкова**  
Корректоры: **Т. М. Толмачева, З. Г. Галушкина**

---

Сдано в набор 6/XII-1973 г.  
Подписано в печать 4/IV-1974 г. Т-07314  
Формат 84×108<sup>1</sup>/<sub>32</sub> Бумага типографская № 2  
Объем 8,4 усл. п. л., 8,704 уч.-изд. л.  
Тираж 32 000 экз. Зак. 314 Цена 44 коп.  
Издательство «Советское радио», Москва, Главпочтамт а/я 693

---

Типография издательства «Связь»  
Государственного комитета Совета Министров СССР  
по делам издательств, полиграфии и книжной торговли  
Москва-центр, ул. Кирова, 40 .



## Шагурин И. И.

Ш15 Транзисторно-транзисторные логические схемы.  
Под ред. Ю. Е. Наумова. М., «Сов. радио», 1974.

160 с. с ил

Дается обзор простейших модификаций схем ТТЛ. Анализируется работа основной схемы И—НЕ со сложным инвертором. Описывается инженерная методика электрического расчета схемы и основные их модификации. Приводится сравнение этих модификаций и даются рекомендации по выбору схемы в зависимости от предъявляемых к ней требований. Описывается типовой состав серии интегральных схем ТТЛ: логические схемы, триггеры, вспомогательные схемы и схемы с повышенной степенью интеграции.

Книга предназначена для инженеров, работающих в области проектирования интегральных схем и микроэлектронной аппаратуры, и студентов соответствующих специальностей.

Ш  $\frac{30407, 30502-049}{046(01)-74}$  43-74

6Ф7

Цена 44 коп.

